

Лекция 13

Тема: Цифровые интегральные микросхемы (Продолжение)

- 1) Эмиттерно-связанная логика.
- 2) Логические элементы на однотипных МДП-транзисторах.
- 3) Логические элементы на комплементарных МДП-транзисторах.

ЭМИТТЕРНО-СВЯЗАННАЯ ЛОГИКА

Работа схемы ТТЛ основана на использовании режима глубокого насыщения транзистора, который характеризуется накоплением зарядов в базовой и коллекторной областях транзистора. Для рассасывания этих зарядов при переходе в закрытое состояние требуется некоторое время, что ограничивает быстродействие схемы. В схеме эмиттерно-связанной логики (ЭСЛ) транзисторы не переходят в режим глубокого насыщения, благодаря чему повышается быстродействие ($t_{зд.р.ср} \approx 2$ нс).

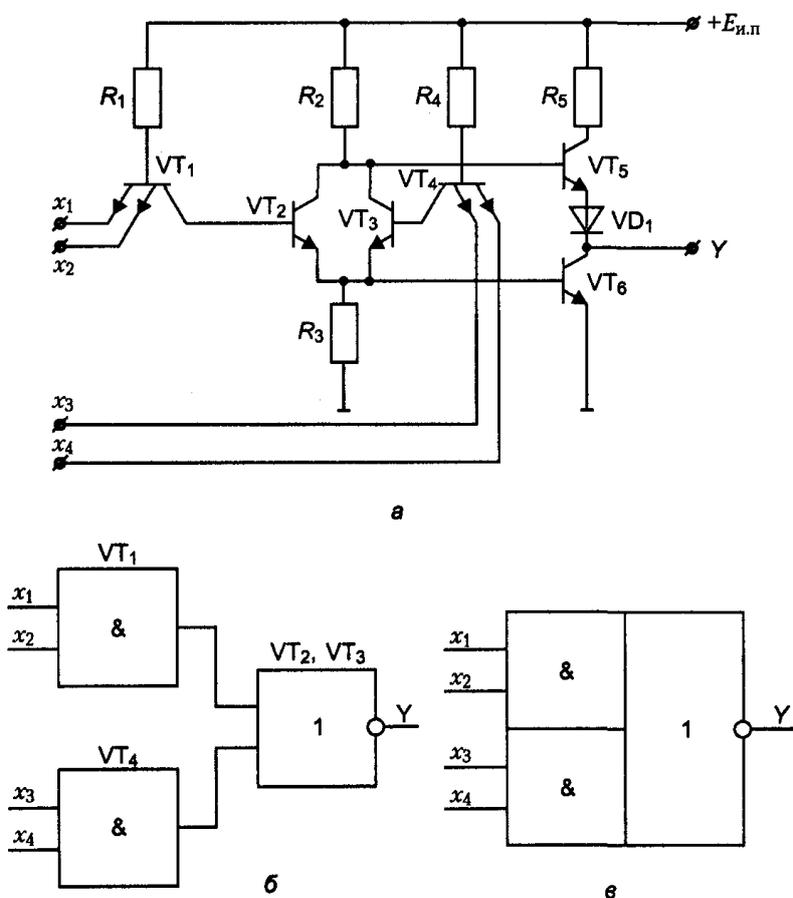


Рис. 113

Основу схемы ЭСЛ составляет переключатель тока (рис. 114, а). Схема напоминает дифференциальный каскад, у которого ко второму входу подключен источник постоянного напряжения E_0 , называемого опорным. Источник стабильного тока обеспечивает ток I_0 , соответствующий нормальному активному режиму. Если $u_{вх} = E_0$, то оба транзистора открыты и через каждый протекает ток $i_k = i_{к1} = i_{к2} = I_0/2$. Напряжение на эмиттерах $u_э = E_0 - U^*$. Известно, что в активном режиме ток коллектора очень сильно зависит от напряжения $u_{б-э}$:

$$i_k = \alpha I_0 \exp(u_{б-э}/U_T). \quad (70)$$

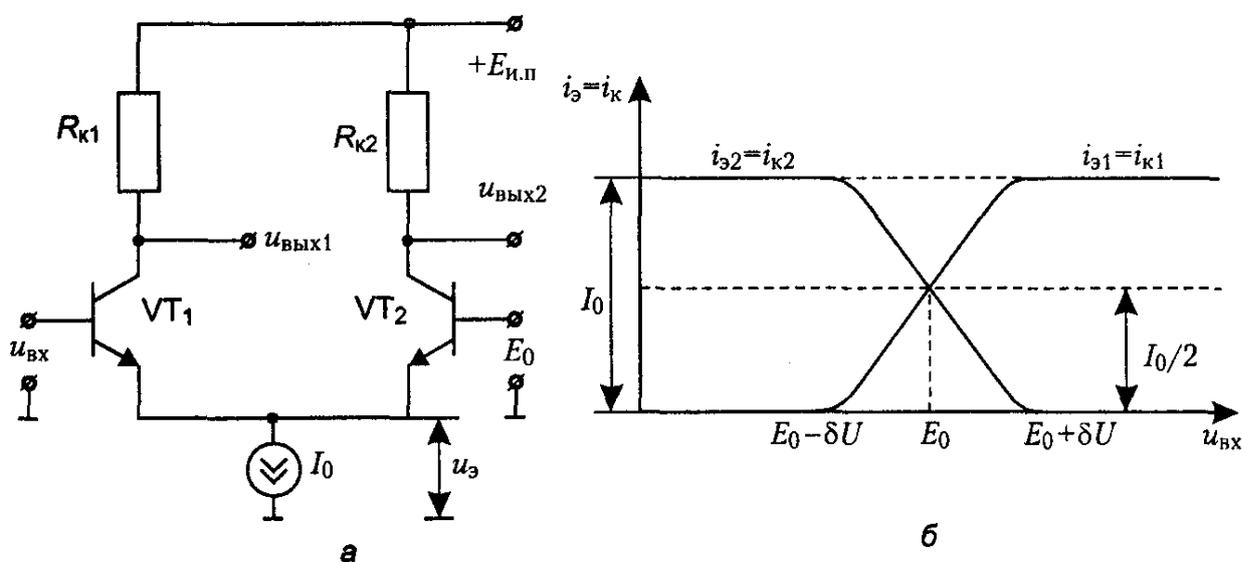
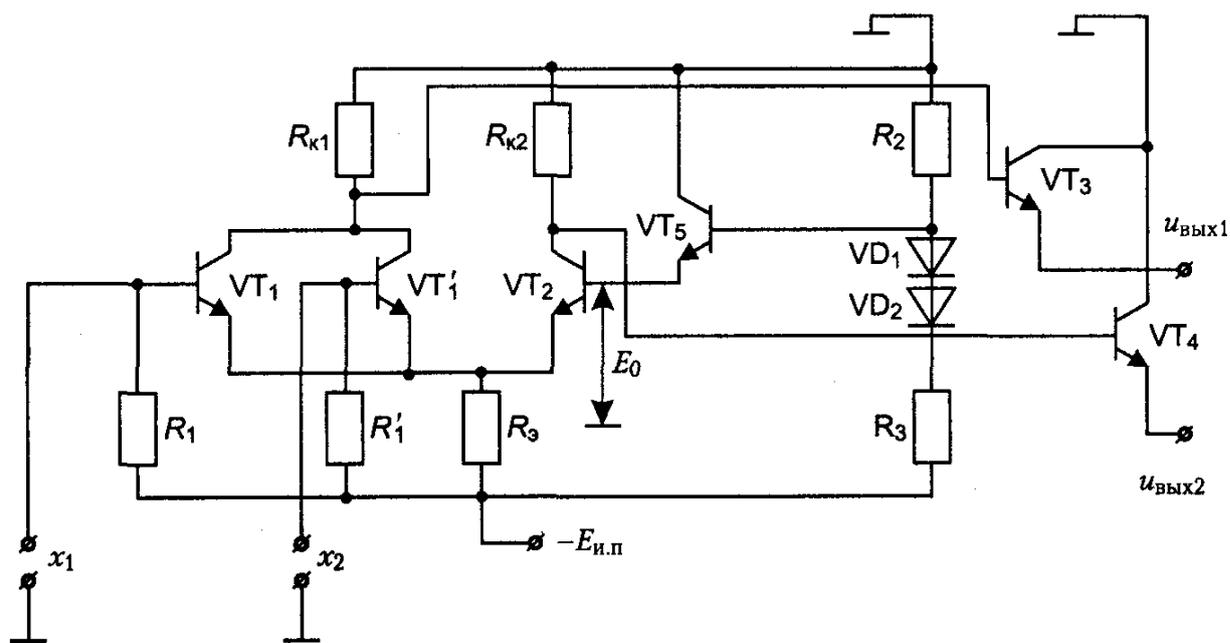


Рис. 114

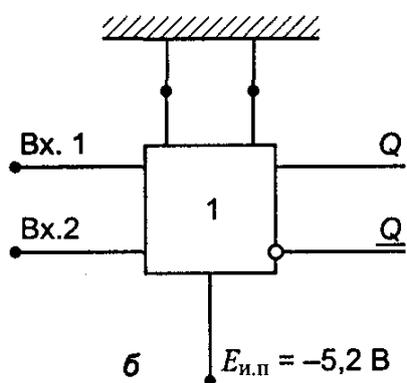
Согласно этой формуле изменение $u_{б-э}$ на величину $\delta u = 2,3U_T$ (60 мВ при $T = 25^\circ \text{C}$) приводит к изменению коллекторного тока на порядок. Поэтому, если напряжение на входе станет меньше E_0 на величину δu , то напряжение $u_{б-э1} = u_{вх} - u_э$ тоже уменьшится, что приведет к резкому уменьшению тока $i_{к1}$ (рис. 114, б), а так как суммарный ток транзисторов задан генератором тока I_0 , то ток $i_{к2}$ возрастает, то есть произойдет переключение тока в правое плечо схемы. Транзистор VT_1 будет закрыт, и на первом выходе установится напряжение высокого уровня $U_{вых1}^1$;

транзистор VT_2 будет открыт, и на втором выходе установится напряжение низкого уровня $U_{\text{вых}2}^0$. Однако транзистор VT_2 не перейдет в режим насыщения, так как его ток задается генератором тока I_0 , величина которого меньше тока насыщения транзистора. Если напряжение на входе увеличить относительно величины E_0 на δu , то произойдет переключение тока в левое плечо схемы. Таким образом, для переключения тока I_0 из одного плеча в другое достаточно изменить входное напряжение на величину $2\delta u \geq 0,12$ В относительно уровня E_0 .

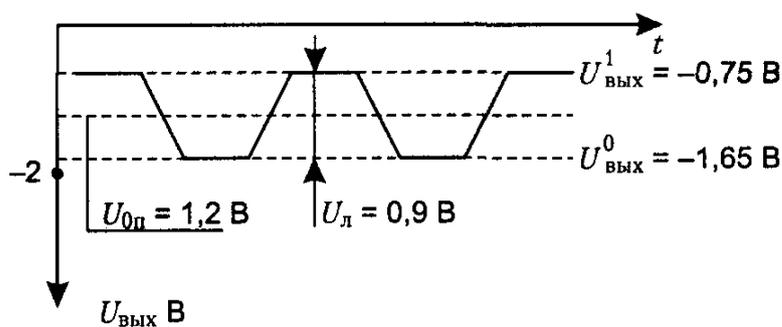
Схема базового элемента ЭСЛ отличается от рассмотренной схемы переключателя тока тем, что она содержит в левом плече не один, а несколько транзисторов, работающих на общую нагрузку в цепи коллектора. При подаче на любой из входов сигнала $u_{\text{вх}} = U_{\text{вх}}^1 > (E_0 + \delta u)$ происходит переключение тока в левое плечо, а при наличии на всех входах сигналов $u_{\text{вх}} = U_{\text{вх}}^0 < (E_0 + \delta u)$ ток переключается в правое плечо. Следовательно, при снятии выходного напряжения с левого плеча схема выполняет операцию ИЛИ-НЕ, а при снятии сигнала с правого плеча – операцию ИЛИ. Принципиальная схема двухвходового элемента ЭСЛ представлена на рис. 115, а.



а



б



в

Рис. 115

Особенностью схемы ЭСЛ является питание от источника с заземленным плюсом. Такое включение позволяет повысить помехоустойчивость схемы, так как в этом случае сечение коллекторных шин питания делается большим, что уменьшает их сопротивление. Тогда на коллекторной шине питания броски тока не создают значительного паразитного падения напряжения, которое воспринимается последующим логическим элементом как помеха. Опорное напряжение E_0 подается на базу VT_2 с цепочки R_2, VD_1, VD_2, R_3 .

При цепочечном включении логических элементов выходное напряжение предыдущего элемента является входным для последующего.

При этом последующий элемент не должен переходить в режим насыщения при подаче на его вход логической единицы. С этой целью схема ЭСЛ содержит разделительные эмиттерные повторители VT_3 и VT_4 , благодаря которым выходные потенциалы схемы ЭСЛ снижаются на 0,7 В относительно потенциалов коллекторов VT_1 и VT_2 . Поскольку эмиттерные повторители обладают низким выходным сопротивлением, то подключение к выходу схемы внешних нагрузок слабо влияет на ее работу. Поэтому коэффициент разветвления для элемента ЭСЛ достигает 25. Схематическое изображение элементов ЭСЛ показано на рис. 115, б. Наличие двух заземляемых выводов (одного непосредственно от логического элемента, другого от коллекторной шины эмиттерных повторителей) способствует повышению помехоустойчивости схемы. Временная диаграмма работы схемы ЭСЛ представлена на рис. 115, в.

ЛОГИЧЕСКИЕ ЭЛЕМЕНТЫ НА ОДНОТИПНЫХ МДП - ТРАНЗИСТОРАХ

В настоящее время предпочтение отдается МДП-транзисторам с индуцированным каналом n -типа, которые обеспечивают более высокое быстродействие логического элемента. Анализ ЛЭ на МДП-транзисторах проще, чем ЛЭ на биполярных транзисторах, потому что во входных цепях практически отсутствует ток (напомним, что полевые транзисторы обладают большим входным сопротивлением и поэтому работают в режиме управления напряжением). Следовательно, при работе в цепочке отдельные ЛЭ функционируют независимо друг от друга и каждый из них можно анализировать без учета влияния предыдущего и последующего ЛЭ. В частности уровни U^0 и U^1 не зависят от нагрузки и остаются такими же, как и в режиме холостого хода. Влияние последующего ЛЭ сводится к увеличению выходной емкости данного ЛЭ.

На рис. 119, а приведена схема ЛЭ, реализующего логическую функцию ИЛИ-НЕ.

При подаче на оба входа, x_1 и x_2 , или на любой из них высокого уровня напряжения U^1 оба транзистора, VT_1 и VT_2 , или один из них открыты, и на выходе устанавливается низкий уровень напряжения U^0 (логический нуль). Если на обоих входах, x_1 и x_2 , действует напряжение низкого уровня U_0 , то транзисторы VT_1 и VT_3 закрыты, и на выходе

устанавливается высокий уровень напряжения $U^1 = E_{\text{инп}}$. Таким образом, логический перепад составляет $U_{\text{л}} = U^1 - U^0 \approx E_{\text{инп}}$.

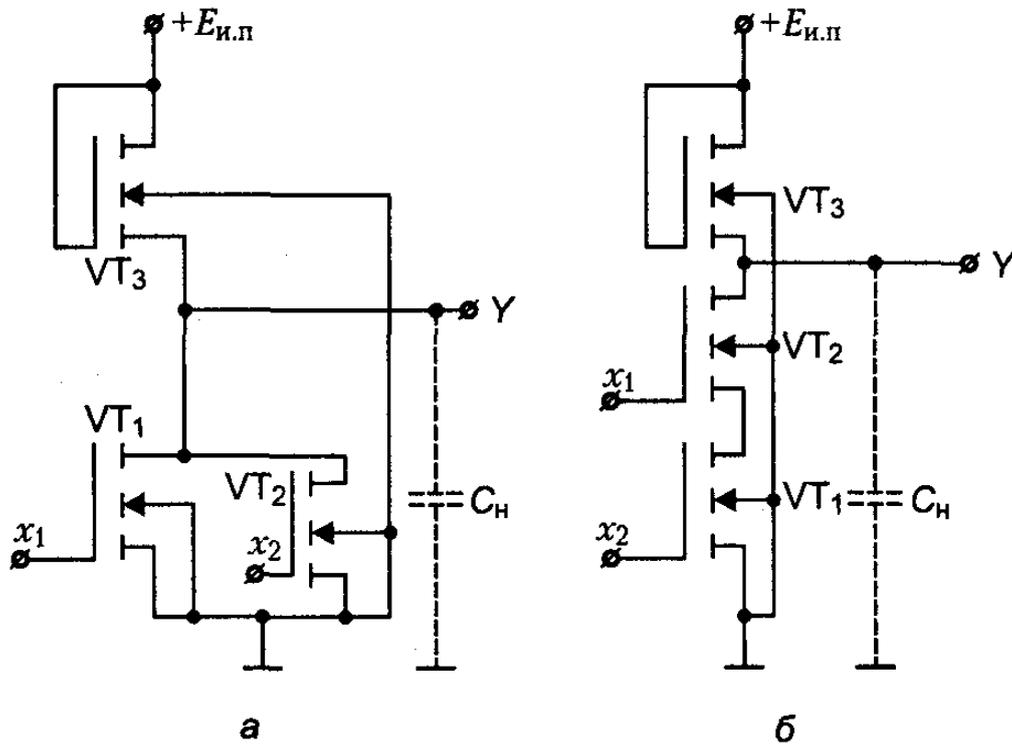


Рис. 119

Логический элемент, схема которого показана на рис. 119, б, реализует функцию И-НЕ. Если хотя бы один из управляющих транзисторов закрыт (VT_1 или VT_2), то есть на одном из входов действует низкий уровень напряжения U^0 , то на выходе схемы будет высокий уровень напряжения $U^1 = E_{\text{инп}}$. Схема переключается в другое состояние (низкий уровень напряжения на выходе), только когда на всех входах действуют высокие уровни напряжения U^1 (транзисторы VT_1 и VT_2 открыты). Быстродействие ЛЭ на одноступенчатых МДП-транзисторах, как и аналогичных ключей, ограничивается скоростью перезаряда емкости нагрузки $C_{\text{н}}$ величина которой пропорциональна количеству нагрузочных ЛЭ.

ЛОГИЧЕСКИЕ ЭЛЕМЕНТЫ НА КОМПЛЕМЕНТАРНЫХ МДП-ТРАНЗИСТОРАХ

Двухвходовая схема ЛЭ на комплементарных МДП-транзисторах (КМДП), реализующая функцию ИЛИ-НЕ, приведена на рис. 120, а.

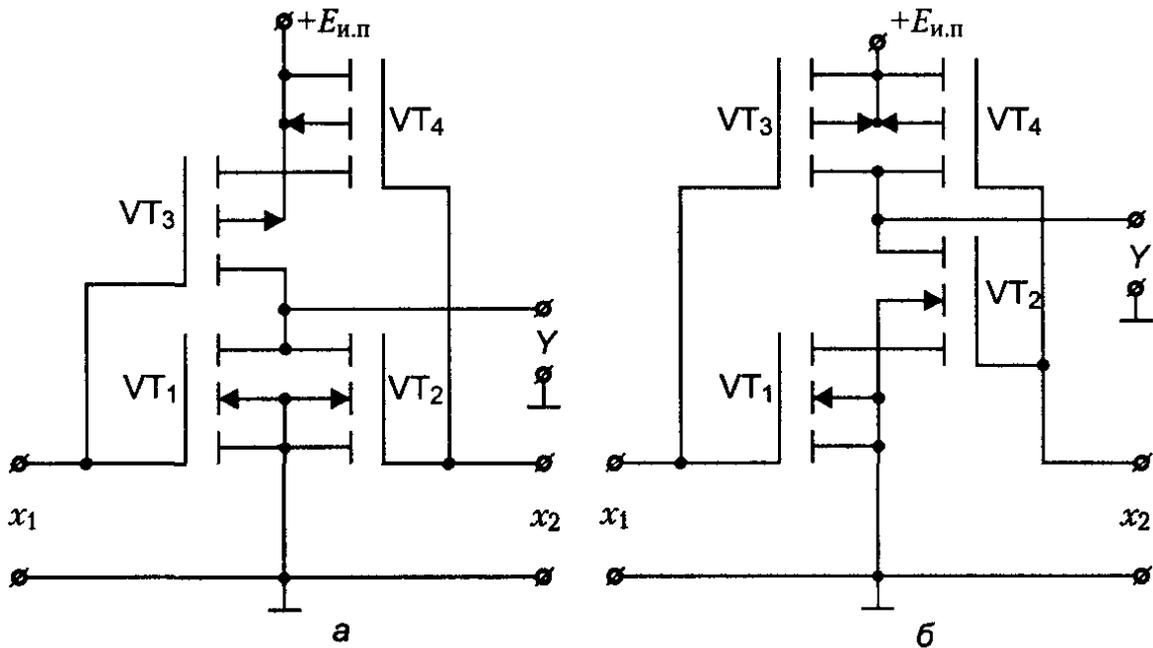


Рис. 120

Действие на входах транзисторов VT_1 и VT_2 уровня логического нуля U^0 обуславливает их закрытое состояние, при этом последовательно соединенные нагрузочные транзисторы VT_2 и VT_4 открыты, и на выходе схемы устанавливается напряжение U^1 . Если хотя бы на один из входов поступает сигнал логической единицы U^1 , то открывается соответствующий управляющий транзистор (VT_1 или VT_2), а связанный с ним нагрузочный транзистор (VT_3 или VT_4) закрывается. На выходе схемы устанавливается напряжение U^0 .

В схеме И-НЕ (рис. 120, б) при действии уровня логического нуля U^0 на входах схемы оба управляющих транзистора, VT_1 и VT_2 , закрыты, а

нагрузочные транзисторы VT_3 и VT_4 открыты, поэтому на выходе схемы будет высокий уровень напряжения $U^1 \approx E_{\text{ип}}$. Состояние схемы не изменится, если напряжение U^0 поступит только на один из входов, так как один из последовательно включенных управляющих транзисторов остается закрытым. При подаче на оба входа высокого уровня напряжения U^1 управляющие транзисторы VT_1 и VT_2 открыты, а нагрузочные VT_3 и VT_4 закрыты, и на выходе схемы устанавливается низкий уровень напряжения U^0 .