

## Лекция 15

Тема: Цифровые интегральные микросхемы (Продолжение)

- 1) Элементы памяти ОЗУ статического типа.
- 2) Элементы памяти динамического типа.
- 3) Основы функциональной электроники.
- 4) Проблемы повышения степени интеграции ИМС.

### ЭЛЕМЕНТЫ ПАМЯТИ ОЗУ СТАТИЧЕСКОГО ТИПА

В качестве элементов памяти ОЗУ статического типа используются триггеры. На рис. 126 представлена схема элемента памяти на МДП-транзисторах, состоящая из триггера ( $VT_1...VT_4$ ) и управляющих транзисторов  $VT_5$  и  $VT_6$ . В режиме записи на одну из разрядных шин подается напряжение  $U^0$ , на другую –  $U^1$ , а на адресную шину подается положительный импульс напряжения, отпирающий транзисторы  $VT_5$  и  $VT_6$ , что приводит к подключению триггера к разрядным шинам. Если  $U'_Y = U^0$ , а  $U''_Y = U^1$ , то отпирается  $VT_1$  и запирается  $VT_2$ ; если  $U'_Y = U^1$ , а  $U''_Y = U^0$ , то отпирается  $VT_2$  и запирается  $VT_1$ . В режиме хранения напряжение на шине  $X$  близко к нулю, транзисторы  $VT_5$  и  $VT_6$  заперты, триггер отключен от разрядных шин и хранит ранее записанную информацию. В режиме считывания шины  $Y'$  и  $Y''$  подключаются к усилителю считывания, а на адресную шину  $X$  подается положительный импульс напряжения, вследствие чего триггер оказывается подключенным к разрядным шинам. Площадь, занимаемая таким элементом памяти на подложке, составляет примерно 150 литографических квадратов. Информационная емкость матрицы достигает 10-25 Кбит, она ограничена допустимым разогревом кристалла. Элемент памяти может быть выполнен на комплементарных транзисторах. В этом случае в режиме хранения информации потребляется ничтожно малая мощность (десятки пиковатт), что позволяет повысить информационную емкость до 256 Кбит.

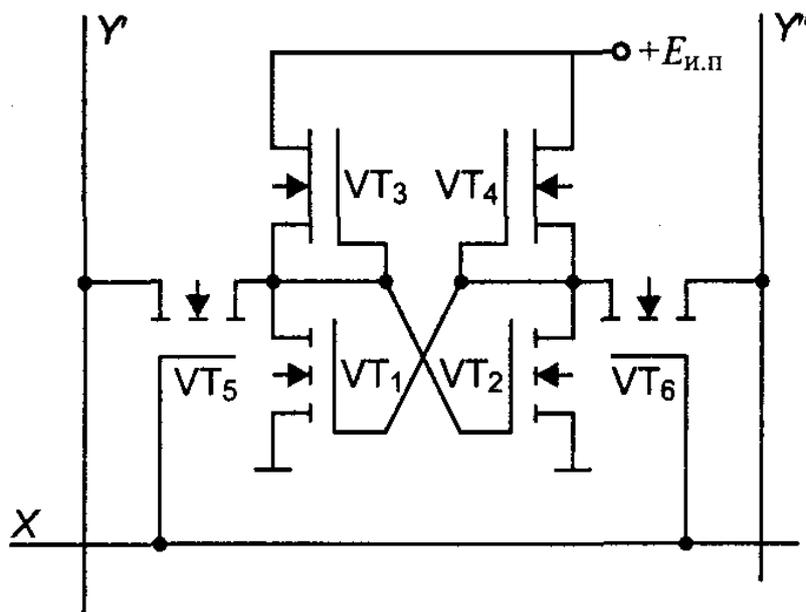


Рис. 126

## ЭЛЕМЕНТЫ ПАМЯТИ ДИНАМИЧЕСКОГО ТИПА

Принцип действия элементов памяти динамического типа основан на хранении информации в виде накопленных на паразитных емкостях диодов или транзисторов электрических зарядов. Обычно для этой цели используются МДП-транзисторы. На рис. 127, а представлена схема однотранзисторного ЭП. В этой схеме электрический заряд хранится в запоминающем конденсаторе  $C_3$ , включенном между истоком и подложкой МДП-транзистора. В режиме записи на шину  $X$  подается положительный импульс напряжения, в результате в транзисторе индуцируется канал, и конденсатор  $C_3$  оказывается подключенным к разрядной шине  $Y$ . Если на разрядной шине имеется высокий потенциал  $U^1$ , то конденсатор  $C_3$  заряжается до напряжения  $U^1$ . Если же потенциал разрядной шины равен  $U^0 \approx 0$ , то заряда конденсатора не происходит. В режиме хранения информации  $U_x = 0$ , и конденсатор  $C_3$  оказывается отключенным от шины  $Y$ . В режиме считывания  $U_x > 0$ , и конденсатор  $C_3$  подключается к шине  $Y$ , которая в свою очередь подключается к усилителю считывания. При записи на конденсаторе накапливается электрический заряд  $Q = C_3 U_Y$ . При считывании на разрядной шине

устанавливается напряжение  $U_{\text{счит}} = Q/(C_3 + C_Y)$ , где  $C_Y$  – паразитная емкость разрядной шины. Для повышения размаха считываемого сигнала  $\delta U_{\text{счит}} = U^1_{\text{счит}} - U^0_{\text{счит}}$  необходимо увеличивать отношение  $C_3/C_Y$ .

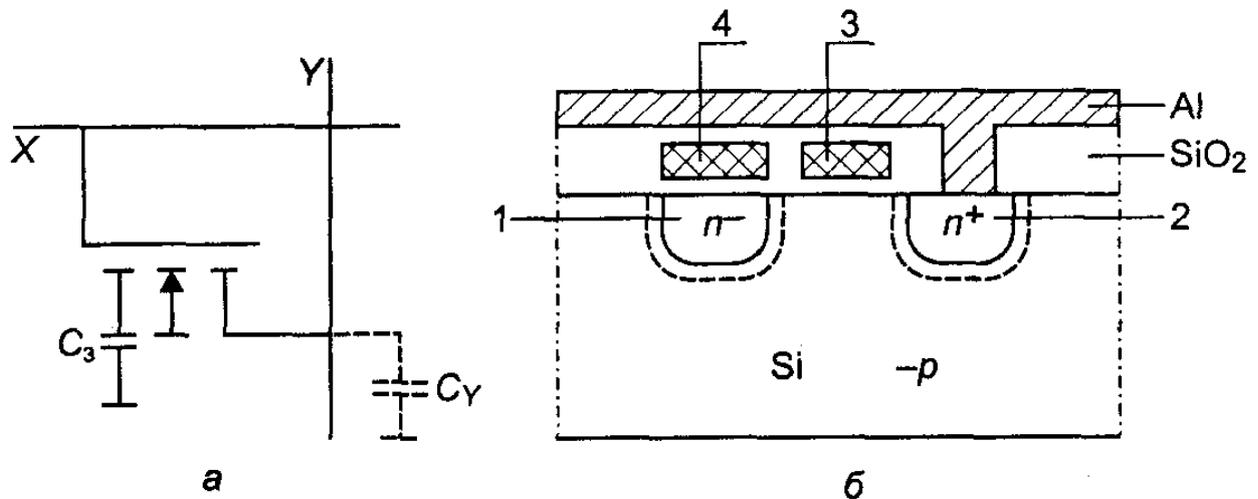


Рис. 127

В режиме хранения информации конденсатор  $C_3$  постепенно разряжается вследствие существования токов утечки. Поэтому необходимо периодическое восстановление заряда конденсатора. С этой целью через каждые несколько миллисекунд происходит считывание информации с элемента памяти, преобразование ее в напряжение  $U^1$  или  $U^0$  и последующая запись этого напряжения в элемент памяти. На рис. 127, б представлена простейшая структура однотранзисторного ЭП, в которой область 1 является истоком, область 2 – стоком, а поликремниевый слой 3 представляет собой затвор транзистора, являющийся одновременно шиной строки X, проходящей перпендикулярно к рисунку. Сток 2 соединен с алюминиевой шиной, напыленной на поверхность слоя  $\text{SiO}_2$ . Поликремниевый слой 4, проходящий параллельно слою 3, образует конденсаторную шину Y, соединенную с подложкой. Емкость запоминающего конденсатора  $C_3$  складывается из емкости между истоком 1 и конденсаторной шиной 4 и емкости p-n-перехода между истоком 1 и подложкой. Паразитная емкость  $C_Y$  является суммой емкостей p-n-перехода между стоком 2 и подложкой и

между шиной  $Y$  и подложкой. Отношение  $C_3/C_Y$  пропорционально площади запоминающего конденсатора. При площади всего элемента около 30 литографических квадратов  $C_3/C_Y = 5-10$ .

## **ОСНОВЫ ФУНКЦИОНАЛЬНОЙ ЭЛЕКТРОНИКИ**

Основной тенденцией развития микроэлектроники является повышение степени интеграции, оцениваемой логарифмом числа элементов и компонентов на кристалле. Если первые интегральные микросхемы содержали несколько десятков элементов на кристалле, то в современных сверхбольших интегральных микросхемах (СБИС) степень интеграции достигает 7. Разработаны интегральные микросхемы ультрабольшой степени интеграции (УБИС), в которых степень интеграции более 7.

## **ПРОБЛЕМЫ ПОВЫШЕНИЯ СТЕПЕНИ ИНТЕГРАЦИИ ИМС**

При создании СБИС и УБИС приходилось и приходится решать целый ряд конструкторско-технологических проблем.

1) Проблема дефектов подложки. Чем больше площадь кристалла, тем выше вероятность того, что дефект кристаллической структуры приведет к выходу из строя какого-либо элемента интегральной микросхемы. Эта проблема решается совершенствованием технологии изготовления полупроводниковых подложек.

2) Проблема уменьшения размеров элементов ИС. Известно, что размеры элементов определяются литографией. Разрешающая способность фотолитографии ограничена длиной волны света (около 1 мкм). Современная субмикронная литография использует излучения со значительно меньшей длиной волны (электронные, ионные и рентгеновские лучи), позволяющие получить размер элементов менее 1 мкм (до 0,1 мкм).

3) Проблема теплоотвода. Уменьшение размера элементов и расстояния между ними ведет к увеличению удельной мощности, рассеиваемой единицей поверхности подложки. Практически величина

этой мощности не превышает  $5 \text{ Вт/см}^2$ . Эта проблема решается применением микрорежимов работы логических элементов. При этом предпочтительнее схемы КМДП и И<sup>2</sup>Л, потребляющие мощность менее 0,1 мВт на логический элемент.

4) Проблема межсоединений. Огромное количество элементов, созданных на подложке, должно быть соединено между собой таким образом, чтобы обеспечить выполнение определенных функциональных преобразований сигналов. Достигается это многоуровневой разводкой. На первом уровне формируют простые логические элементы, на втором уровне формируют отдельные узлы (триггеры, сумматоры и т. д.), на третьем уровне формируют блоки (регистры, дешифраторы и т. д.).

Разводка может быть фиксированной и программируемой. Фиксированная разводка применяется при условии 100-процентной годности элементов. В этом случае заранее разрабатывается топология соединений. Наличие хотя бы одного дефектного элемента приводит к выходу из строя всей микросхемы. В случае программируемой разводки на кристалле создается избыточное число элементов, осуществляется контроль их работоспособности и составляется карта годности элементов. Затем с помощью ЭВМ разрабатывается топология соединений. Однако этот метод требует дополнительных технологических операций.

Решение проблемы повышения степени интеграции СБИС и УБИС состоит в применении новых конструкторски-технологических решений, качественно отличающихся от применяемых при разработке микросхем средней степени интеграции. Большое значение имеет разработка новых конструкций элементов, позволяющих добиться повышения степени интеграции при существующей разрешающей способности литографии. В СБИС широко применяют функционально-интегрированные элементы, когда одна и та же полупроводниковая область совмещает функции нескольких простейших элементов. Примером может служить структура И<sup>2</sup>Л, в которой совмещены база горизонтального транзистора типа *p-n-p* с эмиттером вертикального транзистора типа *n-p-n*, а коллектор транзистора *p-n-p* одновременно является базой транзистора *n-p-n*. Широко применяется совмещение коллекторной нагрузки с коллектором и ряд других конструктивных решений, позволяющих сократить количество боксов, в которых размещаются элементы ИС, и тем самым повысить степень интеграции. Для получения субмикронных размеров некоторых областей при разрешающей способности фотолитографии около 1 мкм в

СБИС широко используют метод самосовмещения, в основе которого лежит использование ранее созданных слоев в качестве масок для получения последующих элементов.

Одним из способов повышения степени интеграции является «трехмерная» интеграция. В трехмерных структурах элементы формируют в разных слоях, чередующихся в вертикальном направлении. Примером может служить вертикальная структура полевого транзистора, в которой исток и сток расположены друг над другом, а канал проходит в вертикальном направлении. Другим примером может служить создание двухслойных КМДП-структур. В этих структурах имеется общий затвор, под которым расположен  $n$ -канал, а над затвором –  $p$ -канал. Такая комплементарная пара вместе с соединениями занимает такую же площадь, как один транзистор с каналом  $n$ -типа. По сравнению с обычной КМДП-структурой, в которой транзисторы с  $n$ -каналом и  $p$ -каналом расположены в одной плоскости, двухслойная КМДП-структура позволяет повысить степень интеграции примерно в 3-4 раза.

В УБИС большую роль играет взаимодействие ее элементов. В БИС с невысокой степенью интеграции каждый отдельный транзистор ведет себя одинаково как в «изолированном» состоянии, так и в составе интегральной структуры. В УБИС с субмикронными размерами изоляция одного транзистора от другого труднодостижима. Возможные механизмы взаимодействия транзисторов друг с другом многочисленны и включают в себя такие эффекты, как емкостная связь, туннелирование и перетекание зарядов.

Повышение степени интеграции резко сужает сферу применения БИС, так как они становятся специализированными и вследствие этого изготавливаются ограниченными партиями. Сужение сферы применения конкретного типа микросхем приводит к необходимости разработки большой номенклатуры БИС и, следовательно, больших затрат времени и средств на их проектирование, подготовку производства и изготовление.

Широкая номенклатура специализированных БИС при приемлемых затратах на проектирование и производство достигается путем использования базовых матричных кристаллов (БМК). Базовый матричный кристалл представляет собой полупроводниковый кристалл, на котором в определенном порядке размещены на постоянных местах нескоммутированные активные и пассивные элементы (транзисторы,

диоды, резисторы и т. п.). Определенное число активных и пассивных элементов сгруппировано в топологические ячейки (ТЯ), которые размещаются на БМК регулярно, образуя матрицу одинаковых повторяющихся ячеек. В одной топологической ячейке БМК последующим объединением элементов металлизированными соединениями можно создать несколько логических или запоминающих элементов. Компоненты в ТЯ подбираются таким образом, чтобы из них можно было построить разнообразные элементы, перечень которых образует некоторый функциональный набор – библиотеку элементов. Чем разнообразнее элементы в библиотеке, тем эффективнее построение функциональных схем матричных БИС.

Особенностью матричных БИС является то, что БМК представляет собой единую основу для создания широкого набора функциональных схем, все разнообразие которых определяется межсоединениями, которые формируются на последних этапах технологического процесса. Иначе говоря, комплект фотошаблонов для изготовления БМК является постоянным, а фотошаблоны для формирования конкретных матричных БИС – переменными. Таким образом, на основе одного БМК сменой фотошаблонов металлизации можно разработать большое число модификаций матричных БИС, отличающихся своими функциональными схемами. БМК выполняются как на основе биполярных транзисторов, так и на основе МДП-структур. Количество элементов в базовом кристалле определяется уровнем технологии и достигает  $10^6$ .