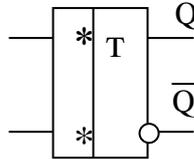


Тема 3.4. Триггеры

1. Основные понятия и определения
2. Способы управления триггерами
3. Асинхронный RS-триггер
4. Синхронные триггеры

1. *Триггер* – это ПЦУ, служащее для длительного хранения одного разряда двоичного числа. Общее условно-графическое обозначение (УГО) триггера



Триггер может находиться в одном из двух состояний: лог. 0 или лог. 1.

Триггер имеет два выхода: *прямой* Q и *инверсный* \bar{Q} . О состоянии триггера судят по уровню напряжения на выходе Q : если напряжение на выходе Q соответствует уровню лог. 0 ($Q=0$), то и триггер находится в состоянии лог. 0, при $Q=1$ триггер находится в состоянии лог. 1.

Триггеры имеют различные типы входов:

R – раздельный вход установки в состояние 0;

S – раздельный вход установки в состояние 1;

J – вход установки универсального триггера в состояние 1;

K – вход установки универсального триггера в состояние 0;

D – информационный вход установки триггера в состояние, соответствующее логическому уровню на этом входе;

T – счетный вход;

C – управляющий (синхронизирующий) вход.

Наименование триггера определяется типами его входов. Таким образом, различают четыре типа триггеров: RS-триггер, JK-триггер, D-триггер, T-триггер.

Интегральные триггеры обычно реализуются на логических элементах И-НЕ, ИЛИ-НЕ. Для описания и понимания работы триггеров вводятся понятия *активный логический уровень* и *пассивный логический уровень* для логических элементов И-НЕ, ИЛИ-НЕ. Приведем таблицы истинности

x_1	x_2	ИЛИ-НЕ	И-НЕ
0	0	1	1
0	1	0	1
1	0	0	1
1	1	0	0

этих элементов. Легко убедиться, что каждый из этих элементов характеризуется некоторым логическим уровнем, действие которого на одном из входов однозначно определяет логический уровень на выходе независимо от того, какие логические уровни действуют на других входах этого элемента. Такими логическими уровнями являются: для элемента ИЛИ-НЕ – уровень лог. 1, для элемента И-НЕ – уровень лог. 0.

Действительно, если на один из входов элемента ИЛИ-НЕ подана лог. 1, то на выходе этого элемента возникает лог. 0 независимо от того каковы логические уровни на других входах; лог. 0, поданный на один из входов элемента И-НЕ, установит на выходе уровень лог. 1.

Такие логические уровни, которые действуют на одном из входов элемента и однозначно определяют логический уровень на его выходе независимо от уровней на других входах, называются *активными логическими уровнями*. Таким образом, активный логический уровень для элемента ИЛИ-НЕ – уровень лог. 1, для элемента И-НЕ – уровень лог. 0.

Уровни, обратные активным, называются *пассивными*. При действии на одном из входов пассивного логического уровня уровень на выходе этого элемента определяется логическими уровнями на других его входах. Пассивный уровень для элемента ИЛИ-НЕ – уровень лог. 0, для И-НЕ – уровень лог. 1.

2. По характеру реакции на входные сигналы триггеры бывают *асинхронными* и *синхронными*.

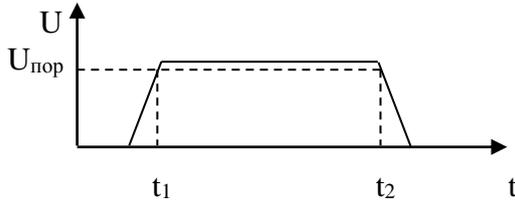
Асинхронный триггер реагирует на входные сигналы с момента их подачи на входы триггера. Такой триггер не имеет управляющего входа С.

Синхронный триггер имеет управляющий вход С и реагирует на входные сигналы только при подаче синхронизирующего сигнала на этот вход.

По способу подачи управляющего сигнала триггеры бывают со *статическим управлением* и с *динамическим управлением*.

При *статическом* управлении – управляющий сигнал представляет собой постоянное напряжение высокого или низкого уровня; переключение триггера происходит при достижении сигналом

определенного значения одного из этих уровней.

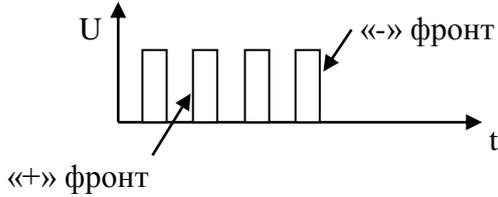


Переключение триггера возможно в промежутке времени $t_1 - t_2$.

На УГО цифровых устройств статический управляющий вход обозначается так:



При динамическом управлении – управляющий сигнал представляет собой последовательность импульсов; переключение триггера происходит либо по положительному фронту импульса (в момент изменения сигнала с 0 на 1), либо по отрицательному (в момент изменения сигнала с 1 на 0).



На УГО цифровых устройств динамический управляющий вход обозначается так:



3. Асинхронный RS-триггер на элементах



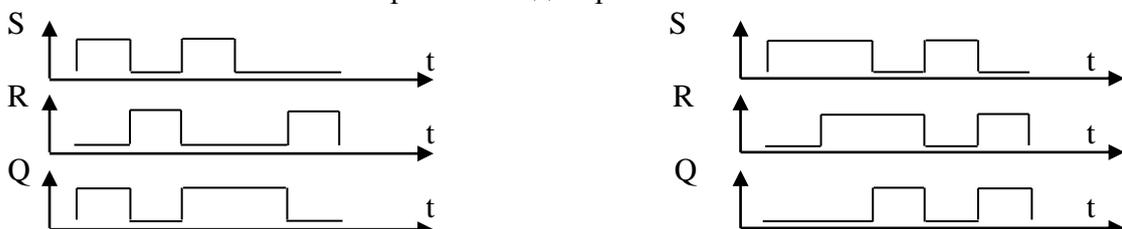
Структура триггера (бистабильная ячейка)



Таблица истинности

Входы		ИЛИ-НЕ		И-НЕ	
S	R	Q	режим	Q	режим
0	0	Q_0	хранение	–	запрет
0	1	0	установка 0	1	установка 1
1	0	1	установка 1	0	установка 0
1	1	–	запрет	Q_0	хранение

Временные диаграммы



Рассмотрим принцип работы RS-триггера на элементах ИЛИ-НЕ.

$S=1, R=0$. На вход элемента **б** поступает активный уровень, следовательно, на его выходе установится сигнал лог. $\bar{0}$ ($Q=0$). Этот сигнал поступит на элемент **а** и совместно с сигналом $R=0$ установит на его выходе сигнал лог. 1 ($Q=1$). Произошла установка лог. 1.

$S=0, R=1$. На вход элемента **а** поступает активный уровень, следовательно, на его выходе установится сигнал лог. 0 ($Q=0$). Этот сигнал поступит на элемент **б** и совместно с сигналом $S=0$ установит на его выходе сигнал лог. $\bar{1}$ ($Q=1$). Произошла установка лог. 0.

$S=0, R=0, Q=0$. На вход элемента **б** поступают сигналы $S=0$ и $Q=0$, следовательно, на его выходе установится сигнал лог. 1 ($\bar{Q}=1$). Этот сигнал поступит на элемент **а** и установит на его выходе сигнал лог. 0 ($Q=0$). Таким образом, сохранилось предыдущее состояние триггера.

$S=1, R=1$. На входы элементов **а** и **б** поступают активные уровни, следовательно, на их выходах установятся сигналы лог. 0, т.е. одинаковые, а это противоречит определению триггера. Такая комбинация сигналов R и S является запрещенной.

4. Синхронный RS-триггер

УГО триггера

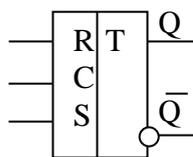
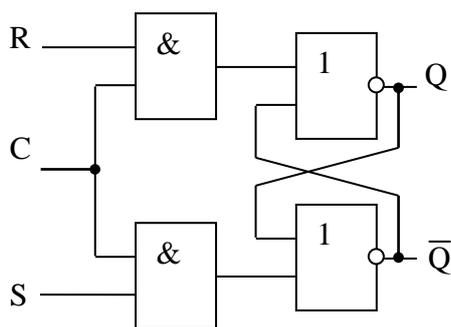


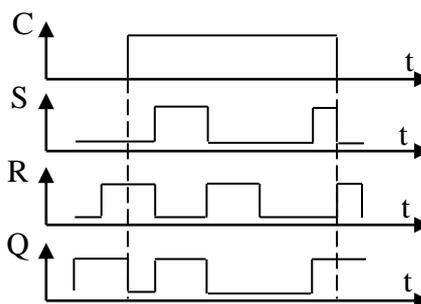
Таблица истинности триггера

Входы			Выход	Режим работы
C	S	R		
0	*	*	Q_0	хранение
1	0	0	Q_0	хранение
1	0	1	0	установка 0
1	1	0	1	установка 1
1	1	1	–	запрет

Структура триггера



Временные диаграммы



При отсутствии сигнала на входе C ($C=0$) на выходах элементов И, а, следовательно, и на входах бистабильной ячейки, действуют сигналы лог. 0, т.е. триггер находится в режиме хранения. При $C=1$ элементы И открыты для прохождения сигналов со входов R и S на бистабильную ячейку, т.е. триггер работает в тех же режимах, что и асинхронный триггер.

Синхронный D-триггер (триггер задержки)

УГО триггера

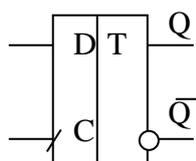
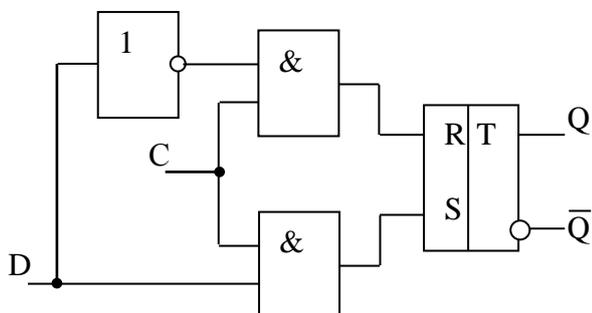


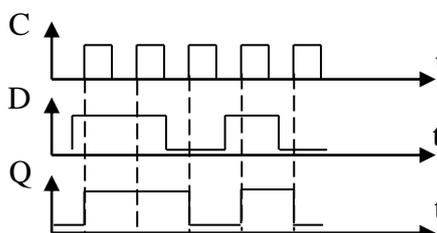
Таблица истинности триггера

C	D	Q	Режим
0	*	Q_0	хранение
1	0	0	установка 0
1	1	1	установка 1

Структура триггера



Временные диаграммы



При наличии на входе С положительного фронта импульса D-триггер переключается в состояние, соответствующее уровню, действующему на входе D (если D=0, то Q=0; если D=1, то Q=1).

При отсутствии на входе С положительного фронта импульса D-триггер находится в режиме хранения.

Синхронный JK-триггер (универсальный триггер)

УГО триггера

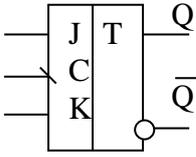
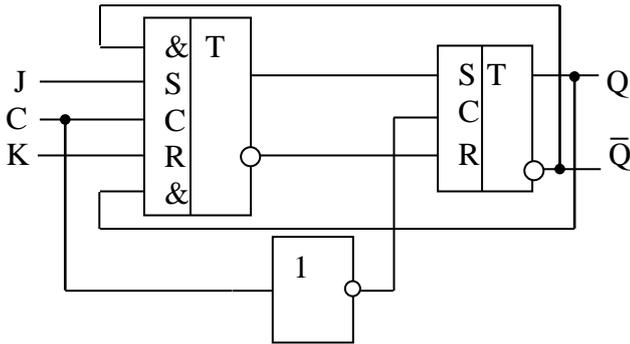


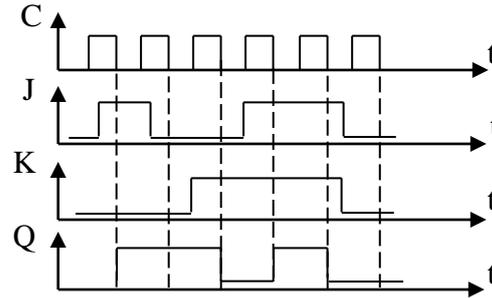
Таблица истинности триггера

ВХОДЫ			ВЫХОД	режим работы
C	J	K	Q	
$\overline{\text{Л}}$	*	*	Q_0	хранение
$\overline{\text{Л}}$	0	0	Q_0	хранение
$\overline{\text{Л}}$	0	1	0	установка 0
$\overline{\text{Л}}$	1	0	1	установка 1
$\overline{\text{Л}}$	1	1	$\overline{Q_0}$	переключение

Структура триггера



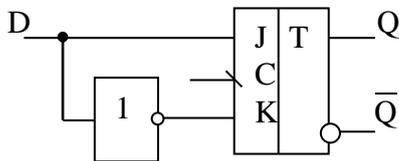
Временные диаграммы



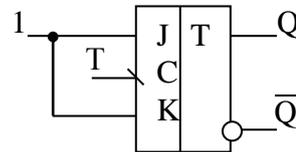
JK-триггер имеет двухступенчатую структуру, за счет этого у триггера отсутствует запрещенное состояние. Переключение триггера происходит в момент действия отрицательного фронта импульса на входе С. JK-триггер может использоваться в качестве двухступенчатого RS-триггера, D-триггера, T-триггера, поэтому он называется универсальным.

Использование JK-триггера в качестве:

D-триггера



T-триггера



Синхронный T-триггер (счетный триггер)

УГО триггера

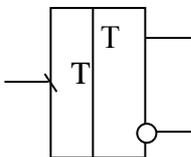
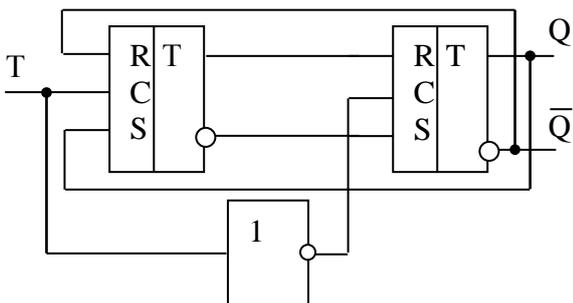


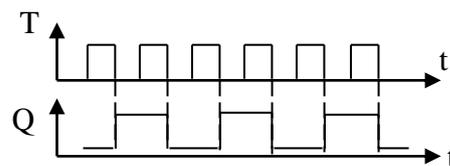
Таблица истинности триггера

ВХОД	ВЫХОД	режим работы
T	Q	
$\overline{\text{Л}}$	Q_0	хранение
$\overline{\text{Л}}$	$\overline{Q_0}$	переключение

Структура триггера



Временные диаграммы



T-триггер переключается по каждому отрицательному фронту импульса, приходящего на вход T. Своими переключениями триггер как бы подсчитывает поступающие импульсы.