



МОСКОВСКИЙ АВТОМОБИЛЬНО-ДОРОЖНЫЙ  
ГОСУДАРСТВЕННЫЙ ТЕХНИЧЕСКИЙ  
УНИВЕРСИТЕТ (МАДИ)

К.Г. МАНУШАКЯН, Н.Ю.ЛАХТИНА

# **ЦИФРОВЫЕ УСТРОЙСТВА: ТРИГГЕРЫ**

Цена 280 руб.

МОСКОВСКИЙ АВТОМОБИЛЬНО-ДОРОЖНЫЙ  
ГОСУДАРСТВЕННЫЙ ТЕХНИЧЕСКИЙ УНИВЕРСИТЕТ  
(МАДИ)

Кафедра «Транспортная телематика»

Утверждаю  
Зав. кафедрой профессор  
\_\_\_\_\_ В. М. Власов  
« \_\_\_\_ » \_\_\_\_\_ 2021 г.

К.Г. МАНУШАКЯН, Н.Ю.ЛАХТИНА

ЦИФРОВЫЕ УСТРОЙСТВА:  
ТРИГГЕРЫ  
УЧЕБНО-МЕТОДИЧЕСКОЕ ПОСОБИЕ

МОСКВА  
МАДИ  
2021

ДК 621.38  
ББК 32.85  
М242

**Манушакян, К.Г**

М242 Цифровые устройства: триггеры: учебно-методическое пособие / К.Г. Манушакян, Н.Ю. Лахтина, – М.: МАДИ, 2021. – 56 с.

Настоящее учебно-методическое пособие «Цифровые устройства: триггеры» является продолжением учебно-методического пособия (авторы – К.Г. Манушакян, Н.Ю. Лахтина) «Цифровые устройства: логические элементы» и предназначено для изучения устройств цифровой техники и построения схем на них.

В пособии подробно рассмотрены работа и принципы действия триггеров, дано построение схем на них. Для улучшения усвоения материала в пособии приведены примеры решения задач. Параграфы, посвященные изучению систем счисления, формам записи чисел, форматам двоичных кодов, а также способам передачи данных между устройствами, подготавливают к изучению других устройств цифровой техники.

Учебное-методическое пособие предназначено для студентов, обучающихся по специальностям «Автомобильная техника в транспортных технологиях», «Автомобильный сервис», «Организация и безопасность движения», «Организация перевозок и управление на автомобильном транспорте», «Двигатели внутреннего сгорания», а также «Электрооборудование автомобилей и электромобили», «Военные гусеничные и колесные машины», «Наземные транспортные комплексы ракетной техники», «Наземно-транспортные средства и комплексы аэродромно-технического обеспечения полетов авиации», «Подъемно-транспортные, строительные, дорожные средства и оборудование».

УДК 621.38  
ББК 32.85

© Манушакян К.Г., 2021

© Лахтина Н.Ю., 2021

© МАДИ, 2021

## **Введение**

Развитие электроники в конце 20 начале 21 веков привело к широкому и без преувеличения повсеместному использованию электронной техники. Сегодняшняя жизнь не мыслима без средств цифровой техники, окружающих нас повсюду. Уже трудно представить современный мир без многообразных средств связи, соединяющих практически любые точки Земли, без электронных начинок транспортных средств, решающих огромное количество задач – от управления ходовой частью автомобиля до повышения комфортности вождения, без навигаторов и электронных платежей, без многофункциональной бытовой техники и без современных гаджетов, ставших повседневным атрибутом. Но мало кто задумывается о том, что находится внутри всех этих современных «чудо-устройств» и как они работают.

Настоящее учебно-методическое пособие позволит получить основы знаний в области цифровой техники, изучить не только электронные устройства в отдельности, но и их совокупную работу, понимать идеологию построения схем и особенности их функционирования.

Познание такой области электроники, как цифровая техника, поможет не только повысить технический кругозор человека, изучающего данный предмет, но и дать возможность увидеть электронику, окружающую нас повсеместно, по-новому, зародить интерес к дальнейшему расширению знаний, а возможно, – будем надеяться - вызвать импульс к новым решениям в будущем, когда электронные устройства будут играть еще более значимую роль.

Успешного познания!

*Коллектив авторов*

## Глава 1. ТРИГГЕРЫ

### 1.1. Условные обозначения входов и выходов цифровых устройств

В технике используется огромное количество цифровых устройств, некоторые особенности срабатывания которых можно узнать по их условному обозначению: буквам, символам во внутреннем поле и по изображению входов-выходов.

Входы электронных устройств могут быть **активны** или **неактивны** (пассивны) [1]. Активизирует вход сигнал, пришедший на него. Устройство реагирует на активацию входа срабатыванием. Если устройство не реагирует на входной сигнал, значит соответствующий вход неактивен (пассивен).

Входы устройств могут активироваться по-разному: уровнем логической **1**; уровнем логического **0**; перепадом напряжения из **0 в 1** - называемым положительным (передним) фронтом импульса  $t_{\text{фр}}^+$ , перепадом напряжения из **1 в 0** – отрицательным (задним) фронтом импульса  $t_{\text{фр}}^-$  (рис.1.1).

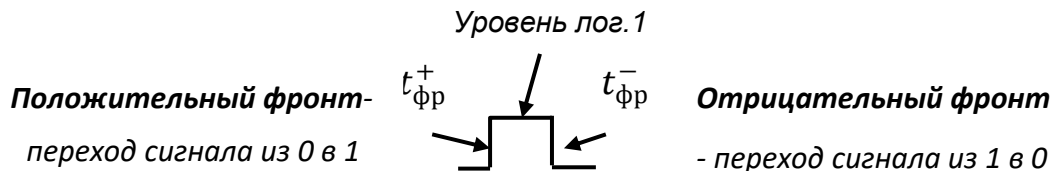


Рис.1.1. Прямоугольный импульс

Условные обозначения цифровых устройств содержат информацию о том, каким именно сигналом активизируется вход (рис.1.2).

Входы, активизируемые уровнем **1**, называются **прямыми**, входы, активизируемые уровнем **0**, называются **инверсными** и обозначаются кружком. Входы, активизируемые положительным или отрицательным фронтами импульсов  $t_{\text{фр}}^+$  и  $t_{\text{фр}}^-$ , называются **динамическими** и обозначаются наклонными линиями.

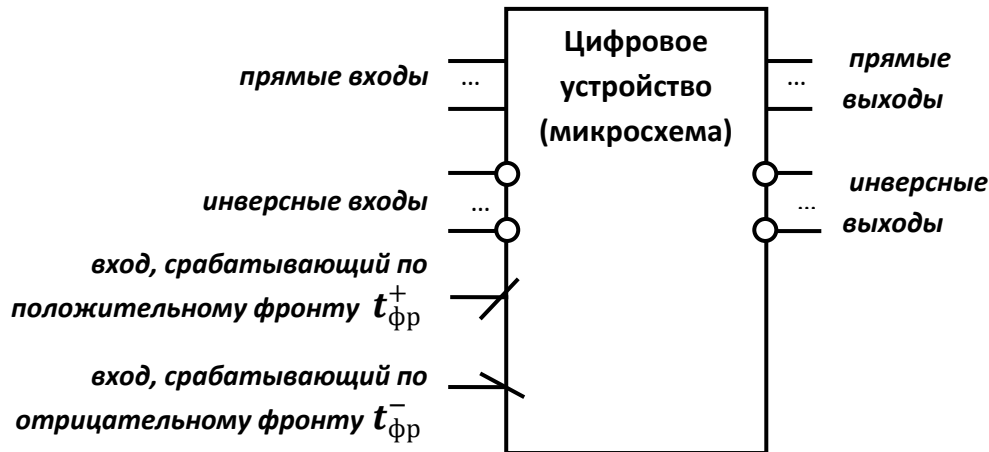


Рис.1.2. Изображения входов и выходов микросхем, используемые для обозначения активизации

Выходы также бывают **прямыми** и **инверсными**. Например, знак инверсии на **выходе** логического элемента указывает на то, что функция выполняется с инверсией.

У триггеров – бывает по два выхода – прямой и инверсный, напряжения на них всегда взаимно противоположны (**0** и **1**).

Есть такие устройства, у которых все выходы - только инверсные, такое обозначение говорит о том, что после исполнения основной функции все выходные сигналы инвертируются.

## 1.2. Общие сведения о триггерах

Часто при построении цифровых схем возникает необходимость в устройстве, которое может хранить состояние, в которое оно было установлено ранее (**0** или **1**). Такие устройства называют **триггерами** (рис.1.3).

В общем случае триггер имеет несколько входов и обязательно **два выхода** – прямой  $Q$  и инверсный  $\bar{Q}$ , напряжения на которых **взаимно противоположны**.

Хранению предшествует **установка** триггера в состояние **0** или **1**. Воздействуя на входы триггера, его устанавливают в требуемое состояние, а затем другим воздействием – обеспечивают хранение установленного состояния сколь угодно долго.

Состояние, в которое установлен триггер, определяется напряжением на выходе  $Q$ :

- триггер установлен в **1**, если напряжение на выходе  $Q=1$ ;
- триггер установлен в **0** (сброшен), если на выходе  $Q=0$ .

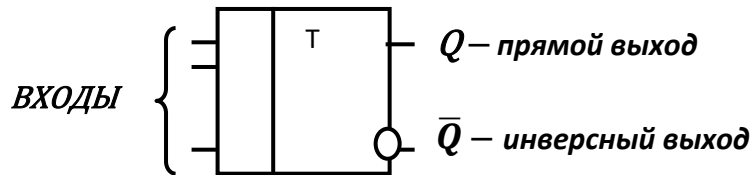


Рис.1.3. Общий вид триггера

На схемах триггеры обозначаются буквой **Т**, расположенной в основном поле условного обозначения.

Так как триггер может устанавливаться и хранить состояние, то его можно определить, как устройство записи и хранения информации объемом в один бит: «установили в состояние и сохранили» - означает, что просто записали 1 бит информации.

Все входы триггера условно делят на два класса: **информационные** и **вспомогательные**.

Активизацией **информационных входов**, которые есть у всех триггеров, обеспечивают основные режимы работы триггера - **установку** в **1**, сброс в **0** и хранение. Активизацией **вспомогательных входов** (есть не у всех триггеров) – обеспечивают **дополнительные функции** – предварительную установку триггера в заданное состояние, синхронизацию и др.

В зависимости от реакции на входные сигналы различают триггеры **асинхронные** и **синхронные**.

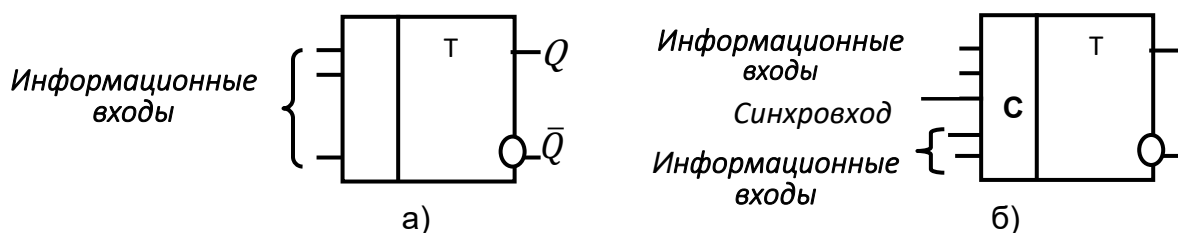


Рис.1.4. Триггеры: а - асинхронный; б - синхронный

Асинхронные триггеры имеют только информационные входы, синхронные, помимо информационных, обязательно имеют вход синхронизации **C** (или синхровход)(рис.1.4, а;б).

**Асинхронные** триггеры срабатывают непосредственно **в момент прихода входных сигналов**, т.е. как только изменятся входные сигналы – триггер срабатывает.

**Синхронные** триггеры срабатывают только при **активизации** входа **синхронизации** (синхровхода) **C**. В остальное время – **хранят** состояние. Пока синхровход не будет активизирован – триггер не сработает!

Различают 2 способа активизации **входа C** – уровнем напряжения и фронтом. Исходя из этого, синхронные триггеры делятся на триггеры:

- **Статические** или со **статическим** управлением – реагирующие на **уровень** напряжения на входе **C** (рис.1.5, а);
- **Динамические** или с **динамическим** управлением – реагирующие на **перепад** напряжения (фронт) на входе **C** (рис.1.5, б;в).

Статические триггеры могут изменять свое состояние в соответствии с сигналами на информационных входах в течение всего времени, пока на входе **C** присутствует логическая **1**. Если же вход **C не активен** - триггер **хранит состояние**.

Динамические триггеры изменяют свое состояние только **в момент** положительного  $t_{\text{фр}}^+$  или отрицательного  $t_{\text{фр}}^-$  фронта на входе **C** в соответствии с сигналами на информационных входах. Остальное время (между фронтами) – триггеры хранят состояние.

Каким именно фронтом активизируется вход **C** – определяют по условному обозначению (рис.1.5).

Разновидностей триггеров много. Название триггера определяется названием его входов, которые обозначаются латинскими буквами. Например, **RS**-триггер, **JK**-триггер (универсальный), **D**-триггер, **T**-триггер.



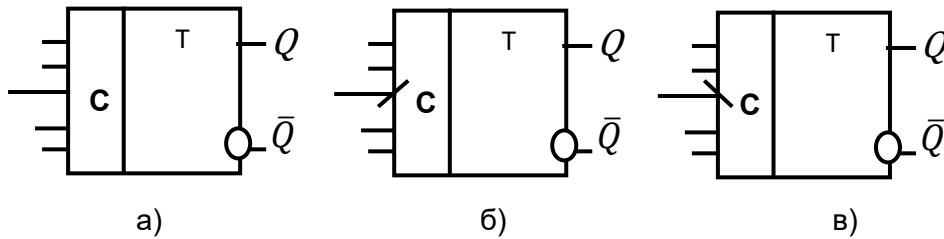


Рис.1.5. Синхронные триггеры и активация синхровхода: а - вход **C** активизируется уровнем логической 1; б - вход **C** активизируется положительным фронтом; в - вход **C** активизируется отрицательным фронтом

Режим срабатывания триггера - установка **1**, сброс в **0**, хранение - зависит от того, какой именно вход триггера активизирован.

Неполный перечень названий входов и «реакция» триггера на их активизацию приведен ниже:

**S** (от англ. *set* - *установить*) – **единичный** вход (вход установки в **1**) – его активизация вызывает установку триггера в **1**;

**R** (от англ. *reset* - *сбросить*) – **нулевой** вход (вход установки в **0**) – его активизация вызывает сброс триггера;

**J** (от англ. *jump* - *прыгнуть*) – **единичный** вход универсального триггера (вход установки в **1**) – его активизация вызывает установку триггера в **1**;

**K** (от англ. *kill* - *отключить*) – **нулевой** вход универсального триггера (вход установки в **0**) – его активизация вызывает сброс триггера;

**T** (от англ. *toggles* – *переключить*) – счетный вход – **каждая** активизация этого входа вызывает изменение состояния триггера на противоположное тому, в котором он находился;

**D** (от англ. *delay* - *задержать*) – вход установки триггера в состояние, соответствующее логическому напряжению на этом входе – сигнал, пришедший на вход, появляется на выходе;

**C** (от англ. *sync* - *синхронизировать*) – вход синхронизации – его активизация обеспечивает срабатывание синхронного триггера.

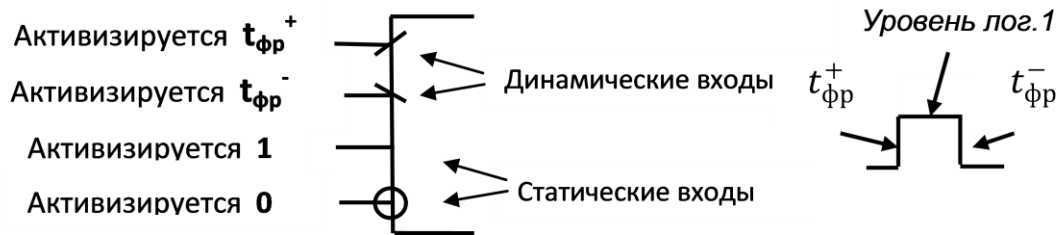
**Триггеры** – устройства, которые устанавливаются в состояние 1 или 0 и хранят установленное состояние сколь угодно долго.

### Установка триггера в состояние 1 или 0:

Установка в **1** – *установка триггера* – подача комбинации входных сигналов, обеспечивающих на выходе  $Q=1$ ;

Установка в **0** – *сброс триггера* - подача комбинации входных сигналов, обеспечивающих на выходе  $Q=0$ .

### Условные обозначения активизации входов:



### Входы триггеров:

- ✓ информационные;
- ✓ вспомогательные - синхровход, входы предварительной установки.

### Выходы триггеров:

- ✓ прямой –  $Q$ ;
- ✓ инверсный -  $\bar{Q}$ .

### Триггеры делятся на:

**асинхронные** – срабатывают по мере изменения сигналов на информационных входах;

**синхронные** – срабатывают только при активации входа  $C$ .

### Активация входа $C$ :

- уровнем на входе  $C$  – у триггеров со статическим управлением;
- фронтом на входе  $C$  - у триггеров с динамическим управлением.

Рассмотрим некоторые разновидности триггеров и их работу.

### 1.3. RS-триггер

Разновидностей  $RS$ -триггеров много. Их классификация соответствует общей классификации триггеров.

Все множество *RS*-триггеров можно разбить на 2 класса: **асинхронные** и **синхронные**.

**Асинхронные** *RS*-триггеры бывают двух видов:

- с прямыми входами;
- с инверсными входами.

**Синхронные** *RS*-триггеры делятся на триггеры:

- статические (или со статическим управлением);
- динамические (или с динамическим управлением);
- двухступенчатые.

Название *RS*-триггера происходит от английских слов *set – reset* – *установить – сбросить*. Исходя из слов *set-reset*, нетрудно догадаться, что триггер можно просто установить в **1** или сбросить в **0** и выполнить основную функцию триггера - сохранить состояние.

### 1.3.1. Асинхронный *RS*-триггер с прямыми входами

Асинхронный *RS*-триггер имеет два информационных входа – *S* и *R* (рис.1.5). Вход ***S*** – **единичный**, его активизация устанавливает триггер в **1**. Вход ***R*** – **нулевой**, его активизация **сбрасывает** триггер в **0**.

Обратите внимание, название входов единичный и нулевой – неслучайно: **единичный** вход активизируется – триггер в **единицу**, **нулевой** вход активизируется – триггер в **ноль**!

Работа триггеров обычно описывается таблицей состояний, в которой приводятся все возможные комбинации входных сигналов и реакция на них устройства (см. рис.1.5).

Запись вида  $Q^t=Q^{t-1}$  означает, что напряжение на выходе в настоящий момент времени ***t*** равно тому состоянию на выходе, которое было в предыдущий момент времени (***t-1***), в этом, собственно, и состоит хранение предыдущего состояния.

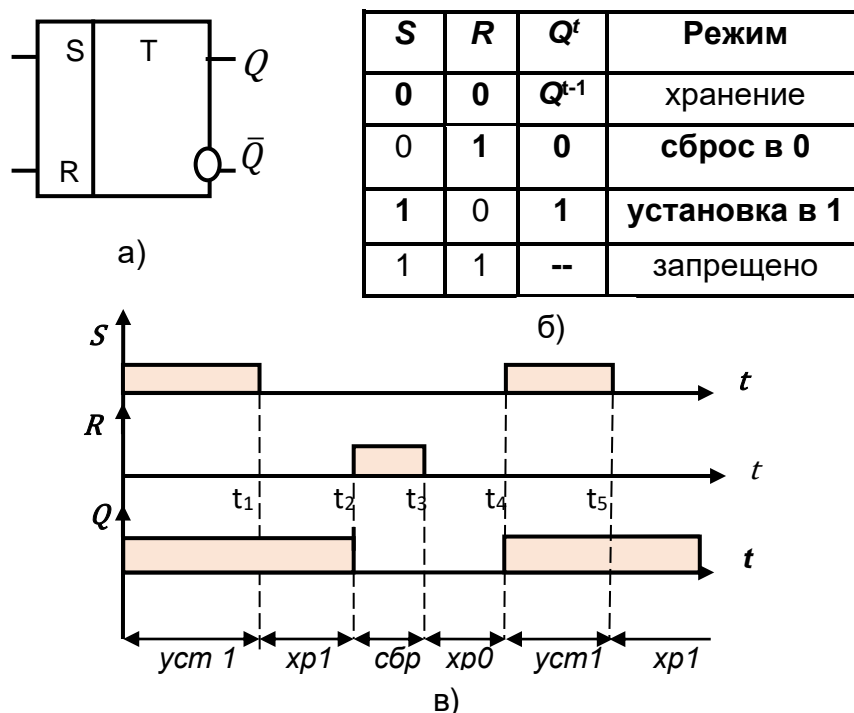


Рис.1.5. Асинхронный RS-триггер: а - условное обозначение; б - таблица состояний; в - временная диаграмма работы асинхронного RS-триггера  
Упрощенно работу триггера можно записать так:

**активен единичный вход  $S$  - установка триггера в 1;**  
**активен нулевой вход  $R$  - сброс триггера в 0;**  
**неактивны оба входа  $S$  и  $R$  – режим хранения  $Q^t = Q^{t-1}$ ;**  
**активны оба входа  $S$  и  $R$  – комбинация *запрещена*.**

Особенности реагирования  $RS$ -триггера на активизацию входов  $S$  и  $R$ , приведенные в рамке, справедливы **для всех разновидностей  $RS$ -триггеров**, которые будут рассмотрены позднее.

Опишем временную диаграмму работы триггера (см. рис.1.5):  
 в промежуток времени  $0 - t_1$  – активен единичный вход  $S$ : на выходе **1**;  
 $t_1 - t_2$  – неактивны оба входа: хранение состояния, установленного ранее, - на выходе **1**;  
 $t_2 - t_3$  – активен нулевой вход  $R$ : на выходе **0**;  
 $t_3 - t_4$  - неактивны оба входа: хранение состояния, установленного ранее, - на выходе **0**;  
 $t_4 - t_5$  – активен единичный вход  $S$ : на выходе **1**;

$t_5 - \infty$  - неактивны оба входа: хранение состояния, установленного ранее, - на выходе **1**.

Внутреннее устройство  $RS$ -триггера представлено на рис. 1.6. Понять работу триггера при сочетании сигналов  $SR = 10$  или  $SR = 01$  можно самостоятельно (логика работы элемента **ИЛИ-НЕ** известна).

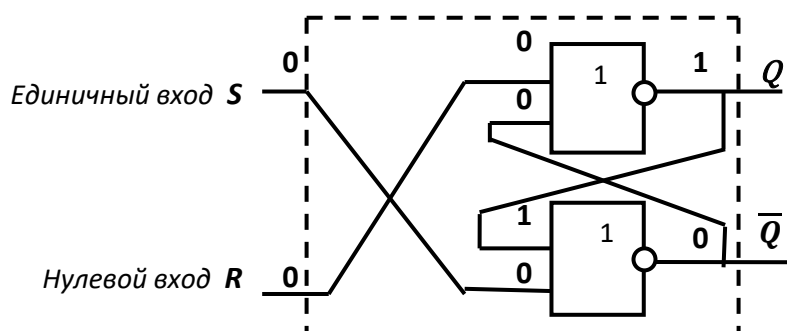


Рис.1.6. Устройство асинхронного  $RS$ -триггера

Рассмотрим только режим хранения - как триггер **сохраняет** установленное ранее состояние при сигналах  $SR=00$ .

Допустим, до прихода на входы сигналов  $SR=00$  триггер был установлен в **1**, т.е.  $Q=1$ ,  $\bar{Q}=0$  (рис.1.6). После поступления на оба входа триггера логических нулей напряжения на выходах логических элементов **ИЛИ-НЕ** зависят от того, какие сигналы пришли на их вторые входы. Поэтому если на выходе  $Q$  в предыдущем такте была установлена **1** и соответственно на  $\bar{Q}$  - **0**, то логическое сложение пришедших сигналов  $SR = 00$  с сигналами  $Q$  и  $\bar{Q}$  ничего не изменит, а просто подтвердит предыдущее состояние. Получается, что было на выходах  $Q$  и  $\bar{Q}$ , то и останется, а значит, **сохранится**.

Если подать на оба входа логические **1**, то на обоих выходах установятся одинаковые значения, а это противоречит логике триггера: на его выходах  $Q$  и  $\bar{Q}$  должны быть **взаимно противоположные** значения, поэтому комбинация  $SR=11$  запрещена.

Рассмотрим работу асинхронного  $RS$ -триггера на примере решения задач.

**Задача 1.** Построить схему включения светодиода при нажатии кнопки «Вызов лифта» и отключения светодиода при прибытии

кабины лифта на этаж. При прибытии кабины лифта на этаж срабатывает датчик, вырабатывающий сигнал логической **1**.

**Решение.** Действие, оказываемое на кнопку, кратковременно. Если кнопку вызова напрямую соединить со светодиодом  $VD$ , то он погаснет сразу после отпускания кнопки (рис.1.7а). Поэтому нужно использовать устройство, которое позволит «растянуть» во времени сигнал от кнопки. Таким устройством является  $RS$ -триггер ( $DD1$ ) (рис.1.7,б). Когда кнопка не нажата, на  $S$  входе триггера - **0**.

Нажатие кнопки обеспечивает поступление на вход  $S$  логической **1**, а следовательно, установку триггера в **1** и зажигание светодиода  $VD$ .

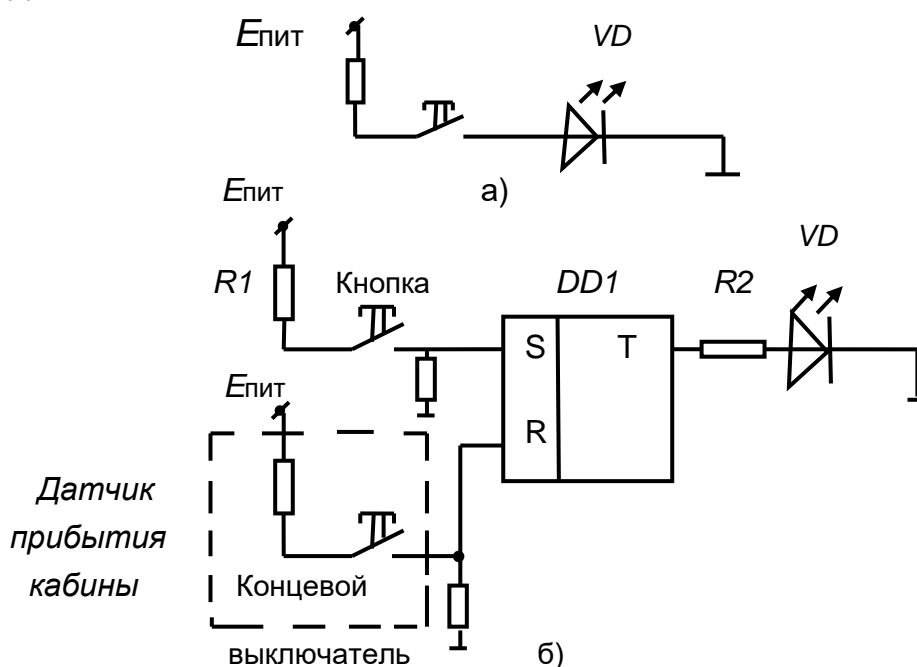


Рис.1.7. Схема работы светодиода: а - кратковременное включение при нажатии кнопки; б - включение при нажатии кнопки и гашение при срабатывании концевого выключателя

В соответствии с условием, светодиод гаснет в момент срабатывания датчика прибытия кабины. По сути, датчик прибытия – это концевой выключатель, срабатывающий аналогично кнопке.

По прибытии кабины сигнал логической **1** с датчика поступает на  $R$ -вход триггера, сбрасывая его в **0**, и светодиод  $VD$  гаснет (см. рис. 1.7, б).

**Задача 2.** Построить схему, вырабатывающую однократный импульс длительностью 5 с по прямоугольному импульсу «Пуск».

**Решение.** Для выполнения поставленной задачи можно использовать асинхронный *RS*-триггер – если его в нужный момент установить в 1, а через 5 с сбросить – задача будет решена.

Но как получить сигнал сброса через 5 с после того, как триггер установился в 1? Устройство, которое позволит это сделать, называется *таймером*. Суть работы таймера такова: на его вход поступают импульсы с генератора импульсов ГИ (допустим,  $f_{ГИ}=1\text{Гц}$ ). Начиная с момента прихода первого импульса на вход таймера, через 5с на его выходе формируется сигнал 1. Используем таймер в виде «черного ящика»<sup>1</sup>, изобразив его на схеме прямоугольником.

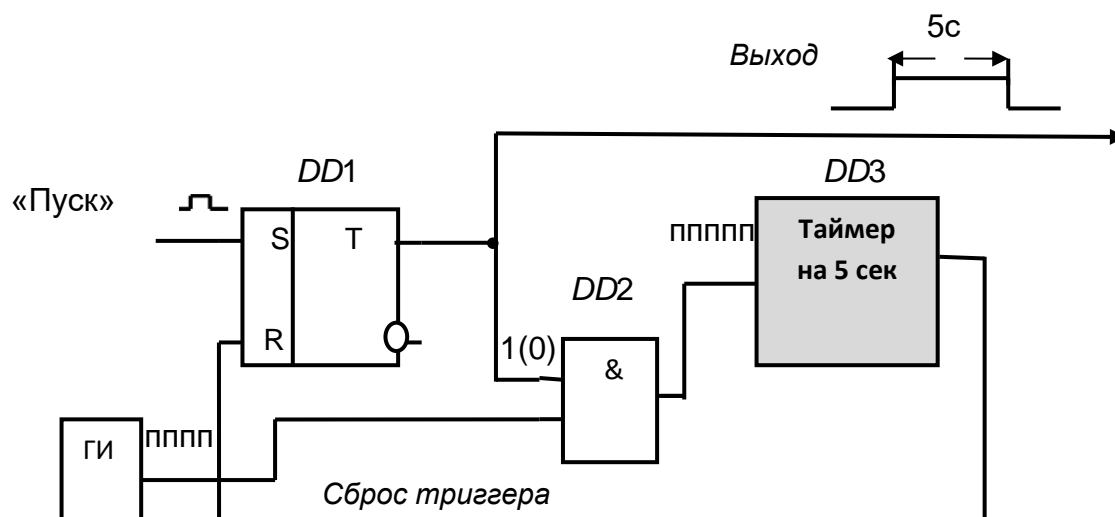


Рис.1.8. Решение задачи 2

**Описание работы схемы** (рис.1.8). С приходом импульса «Пуск» на единичный вход *RS*-триггера *DD1* он устанавливается в 1.

Выход триггера является одновременно и общим выходом схемы (обозначено стрелкой).

С выхода триггера логическая 1 поступает на вход *DD2*, разрешая прохождение импульсов с генератора ГИ на вход таймера. До прихода импульса «Пуск» на входе *DD2* был 0, блокировавший прохождение импульсов с генератора.

<sup>1</sup> «Черный ящик» - общепринятое название любого устройства, внутреннее построение которого не известно или не представляет интереса, но известны его входные и выходные параметры.

По окончании времени 5с – на выходе таймера *DD3* появляется логическая **1**, которая сбрасывает триггер *DD1*. Таким образом, на выходе схемы будет сформирован однократный импульс длительностью 5 с.

Логический **0** с выхода сброшенного триггера, поступив на вход элемента **И** *DD2*, опять заблокирует прохождение импульсов с ГИ на таймер. Таким образом, таймер тоже прекратит работу.

### 1.3.2. Асинхронный RS-триггер с инверсными входами

Иногда при разработке схем требуется использовать триггер, срабатывающий не от логической **1**, а от логического **0**. Таким устройством является RS-триггер с инверсными входами (рис.1.9).

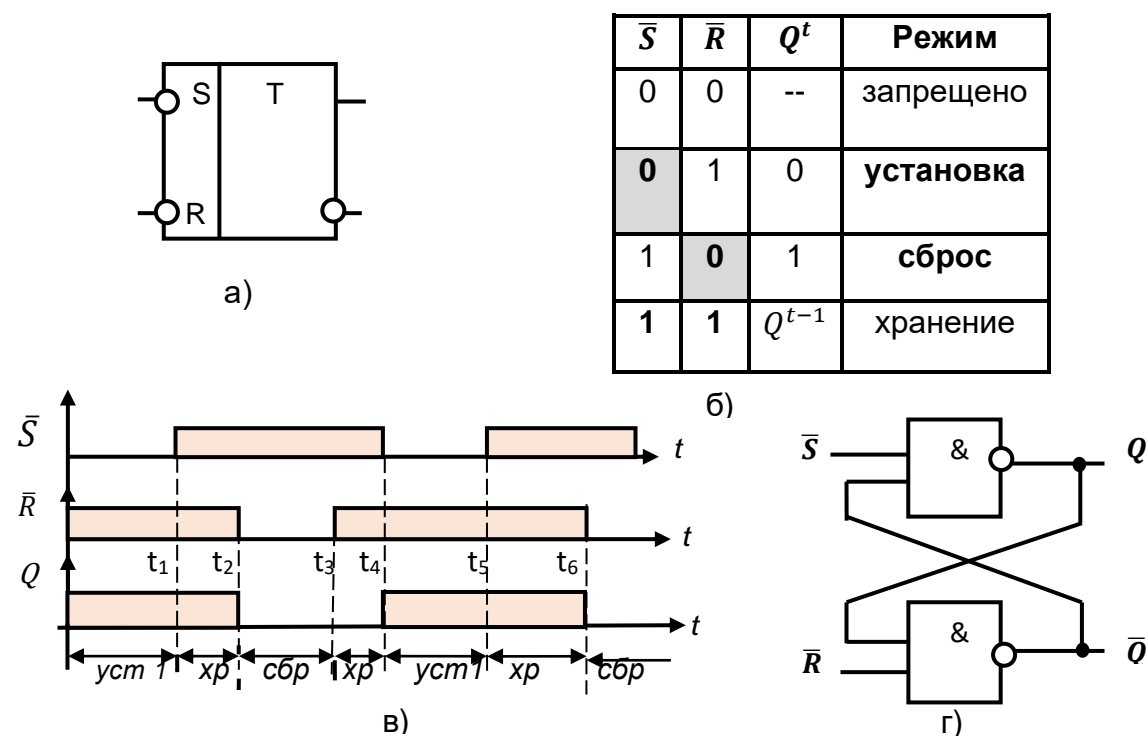


Рис.1.9. Асинхронный RS-триггер с инверсными входами: а - условное обозначение; б - таблица состояний; в - временная диаграмма работы; г - устройство

Особенность работы этого триггера состоит в том, что его **входы активизируются логическими нулями!** На это указывает обозначение входов на условном изображении в виде инверсии. Названия входов на временной диаграмме пишутся с инверсией:  $\bar{S}$  и  $\bar{R}$  (см. рис.1.9).



Логика работы **RS-триггера с инверсными входами** – та же, что и логика работы RS-триггера с прямыми входами, только входы активизируются логическими нулями:

если активен единичный вход – на выходе единица:  $Q=1$ ;

если активен нулевой вход – на выходе 0:  $Q=0$ ;

если неактивны оба входа – хранение:  $Q^t=Q^{t-1}$ ;

если активны оба входа – запрещенная комбинация.

Временная диаграмма (см. рис.3.9) составлена следующим образом.

В промежуток времени:

$0 - t_1$  – активен единичный вход  $\bar{S}$  ( $\bar{S}=0$ ): на выходе **1**;

$t_1 - t_2$  – неактивны оба входа ( $\bar{S} \bar{R}=11$ ): хранение установленного ранее значения, т.е. **1**;

$t_2 - t_3$  – активен нулевой вход  $\bar{R}$ : на выходе **0**;

$t_3-t_4$  – неактивны оба входа ( $\bar{S} \bar{R}=11$ ): хранение состояния, установленного ранее, – на выходе **0**;

$t_4 - t_5$  – активен единичный вход  $\bar{S}$ : на выходе **1**;

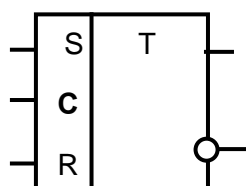
$t_5 - t_6$  - неактивны оба входа: хранение состояния, установленного ранее, - на выходе **1**;

$t_6 - \infty$  - активен нулевой вход  $\bar{R}$ : на выходе **0**.

Триггер построен на двух логических элементах **И-НЕ** (см. рис.1.9). Потому при активном единичном входе  $\bar{S}=0$  – на выходе **1**, а при активном нулевом входе  $\bar{R}=0$  – на выходе **0**. Комбинацию  $\bar{S} \bar{R}=11$  - оба входа неактивны - соответствует хранению - рассмотрите самостоятельно. Состояние входов  $\bar{S} \bar{R}=00$  – запрещено – нетрудно понять по схеме (см. рис.1.9).

### 1.3.3. Синхронный RS-триггер со статическим управлением

Напомним, синхронные триггеры срабатывают при активизации входа **C**, остальное время хранят состояние.



а)

C	S	R	$Q^t$	Примеч.
1	0	0	$Q^{t-1}$	Хранение
1	0	1	0	Сброс
1	1	0	1	Установка 1
1	1	1	---	Запрещено
0	0	0	$Q^{t-1}$	Хранение
0	0	1	$Q^{t-1}$	Хранение
0	1	0	$Q^{t-1}$	Хранение
0	1	1	$Q^{t-1}$	Хранение

б)

Рис.1.10. Синхронный RS-триггер со статическим управлением:

а - условное обозначение; б - таблица состояний

Синхронный статический  $RS$ -триггер (или триггер со статическим управлением) работает по тем же правилам, что и асинхронный  $RS$ -триггер, **при активном входе  $C$** , а при неактивном входе  $C$  – **хранит** установленное состояние (рис.1.10). **Статическое** управление, напомним, означает активизацию входа  $C$  **уровнем** напряжения, а не фронтом.

Изменение состояний триггера возможно в течение всего времени, пока на входе  $C$  сохраняется уровень логической **1** (см. график на рис. 1.11, а): триггер работает как асинхронный при  $C = 1$ .

Если же длительность импульсов на входе  $C$  мала (рис.1.11, б), то триггер срабатывает с приходом каждого импульса на вход  $C$ . Практически получается, что триггер срабатывает по **положительному фронту** ( $t_{фр}^+$ ) ( см. рис. 1.11, б)<sup>2</sup>. Такие триггеры называются **одноступенчатыми** или **однотактными**.

Рассмотрим временную диаграмму напряжений на выходе синхронного  $RS$ -триггера со статическим управлением (см. рис.1.11,а): триггер реагирует на изменения сигналов на входах  $S$  и  $R$ ,

<sup>2</sup> При  $C=0$  триггер хранит состояние. Приведенный график построен в предположении, что до прихода

$C$  триггер хранил состояние  $Q = 0$ .

происходящие только во время действия сигнала  $C$ , т.е. пока  $C = 1$ . Такой режим работы статического триггера почти не используется.

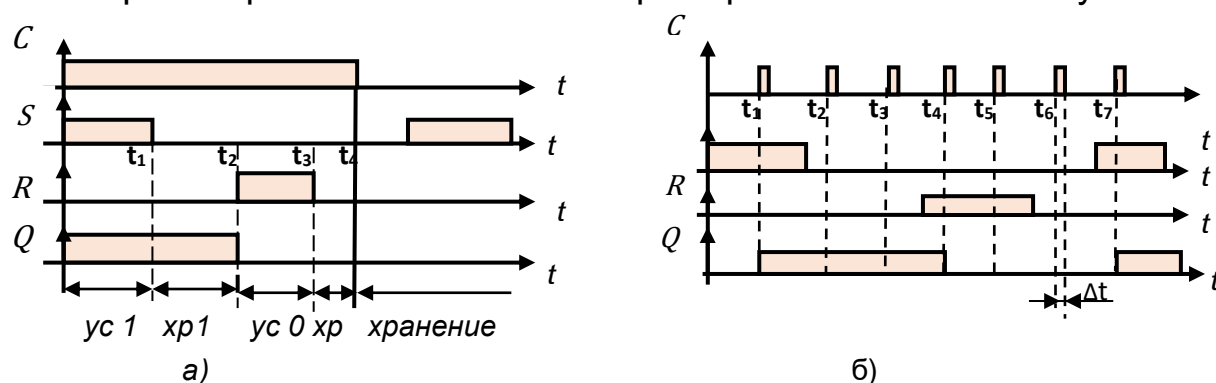


Рис.1.11. Временные диаграммы работы статического синхронного  $RS$ -триггера

Рассмотрим теперь другую временную диаграмму напряжений на выходе того же синхронного статического  $RS$ -триггера, но при малой длительности импульсов на входе  $C$  (см. рис.1.11, б)<sup>3</sup>.

Логическая **1** на входе  $C$  присутствует, начиная с моментов времени  $t_1, t_2, t_3, t_4, t_5, t_6, t_7$ , и длится недолго – в течение короткого времени  $\Delta t$ . Поэтому триггер реагирует на изменения сигналов на входах  $S$  и  $R$  только в промежуток времени  $\Delta t$ , а остальное время до прихода следующего импульса – хранит состояние.

Опишем работу триггера в промежуток времени  $0 - t_5$ :

$0 - t_1$  – синхровход  $C$  не активен: триггер хранит предыдущее состояние, но не известно, какое именно, поэтому предположим, что **0**;

$t_1 - t_2$  – в течение промежутка времени  $\Delta t$  на входе  $C$  логическая **1**, в это же время активен единичный вход  $S$ : значит триггер устанавливается в **1**. По окончании  $\Delta t$  вход  $C$  перестает быть активным: триггер переходит в режим хранения **1** до момента  $t_2$ ;

$t_2 - t_3$  - в течение  $\Delta t$  на входе  $C$  логическая **1** – вход активен, но в это же время на обоих входах  $S$  и  $R$  нули, поэтому триггер хранит предыдущее состояние – **1** в течение короткого  $\Delta t$ , по окончании  $\Delta t$  вход  $C$  становится неактивен, поэтому триггер продолжает хранение **1** до момента  $t_3$ ;

$t_3 - t_4$  – рассуждения аналогичны промежутку  $t_2 - t_3$ ;

<sup>3</sup> Изменения входных сигналов  $S$  и  $R$  должны происходить при отсутствии сигнала на входе  $C$ .

$t_4 - t_5$  - в момент  $t_4$  опять активизируется вход  $C$  на время  $\Delta t$ , в это время активен нулевой вход  $R$ : триггер сбрасывается в  $0$  и до момента  $t_5$  хранит сброшенное состояние и т.д.

На двух одноканальных  $RS$ -триггерах может быть построен **двухтактный** (двухступенчатый)  $RS$ -триггер: первый триггер  $T1$  – ведущий, второй  $T2$  – ведомый (рис.1.12, а;б).

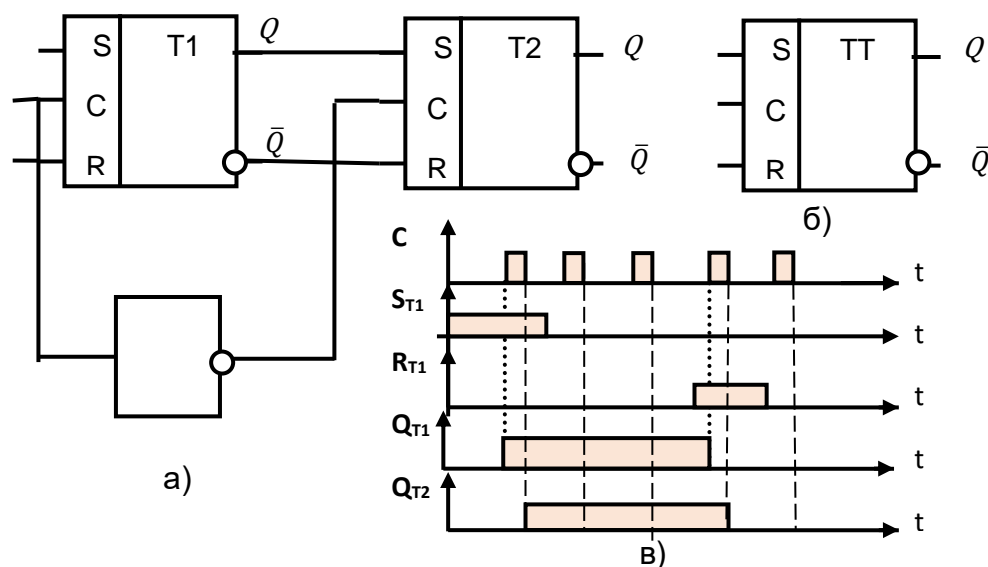


Рис. 1.12. Двухступенчатый  $RS$ -триггер: а - ступени  $RS$ -триггера;

б - условное обозначение двухтактного  $RS$ -триггера; в - временная диаграмма его работы

Ведущий триггер срабатывает пока на входе  $C$  логическая  $1$ . При перепаде сигнала  $C$  из  $1$  в  $0$  ведущий триггер  $T1$  перестает реагировать на изменения сигналов на его входах  $S$  и  $R$ . А у ведомого триггера  $T2$ , наоборот, вход  $C$  становится активным, ведь на нем – логическая  $1$ , и триггер срабатывает. Получается, что при  $C=0$  состояние первого триггера переписывается во второй.

Таким образом, сигнал на выходе двухступенчатого триггера появится только при отрицательном фронте импульса на входе  $C$ , в остальных случаях триггер хранит состояние. В условном обозначении двухтактного триггера используются две буквы –  $TT$ .

Изучить временную диаграмму работы двухтактного  $RS$ -триггера предлагается самостоятельно, учитывая, что до прихода импульса  $C$  триггер хранил логический  $0$  (рис.1.12, в).

### 1.3.4. Синхронный RS-триггер с динамическим управлением

Напомним, синхронные триггеры с динамическим управлением срабатывают только **в момент** фронта (положительного или отрицательного) на синхровходе  $C$ , остальное время хранят состояние.

Синхронный RS-триггер с *динамическим управлением* срабатывает **при активизации** входа  $C$  положительным ( $t_{\text{фр}}^+$ ) или отрицательным ( $t_{\text{фр}}^-$ ) **фронтом** как обычный асинхронный RS-триггер. При **неактивном** входе  $C$  – **хранит** состояние. Получается, что триггер срабатывает от фронта к фронту, а между фронтами – хранит состояние.

Условное обозначение, таблица состояний и временная диаграмма работы триггера, срабатывающего по отрицательному фронту, представлены на рис. 1.13.

В некоторых источниках в условных обозначениях таких триггеров для обозначения динамического вида входа помимо символов, рассмотренных ранее, в виде наклонных прямых используются символы в виде треугольников  $\triangleleft$  и  $\triangleright$ .

Такой триггер обозначается одной буквой  $T$  внутри основного поля [4]<sup>4</sup>. Из временной диаграммы видно, что триггер срабатывает как обычный RS-триггер при отрицательном фронте на  $C$ , в остальных случаях – хранит состояние. Работа рассмотренного триггера (см. рис.1.13) схожа с работой двухтактного триггера, так как именно отрицательный фронт на входе  $C$  из **1** в **0** вызывает срабатывание триггера.

<sup>4</sup> В некоторой литературе триггеры, срабатывающие по  $t_{\text{фр}}^+$  так же, как статические триггеры называются *однотактными*, а триггеры, срабатывающие по  $t_{\text{фр}}^-$  так же как и двухступенчатые, называются **двухтактными** и обозначаются двумя буквами  $TT$  [2].

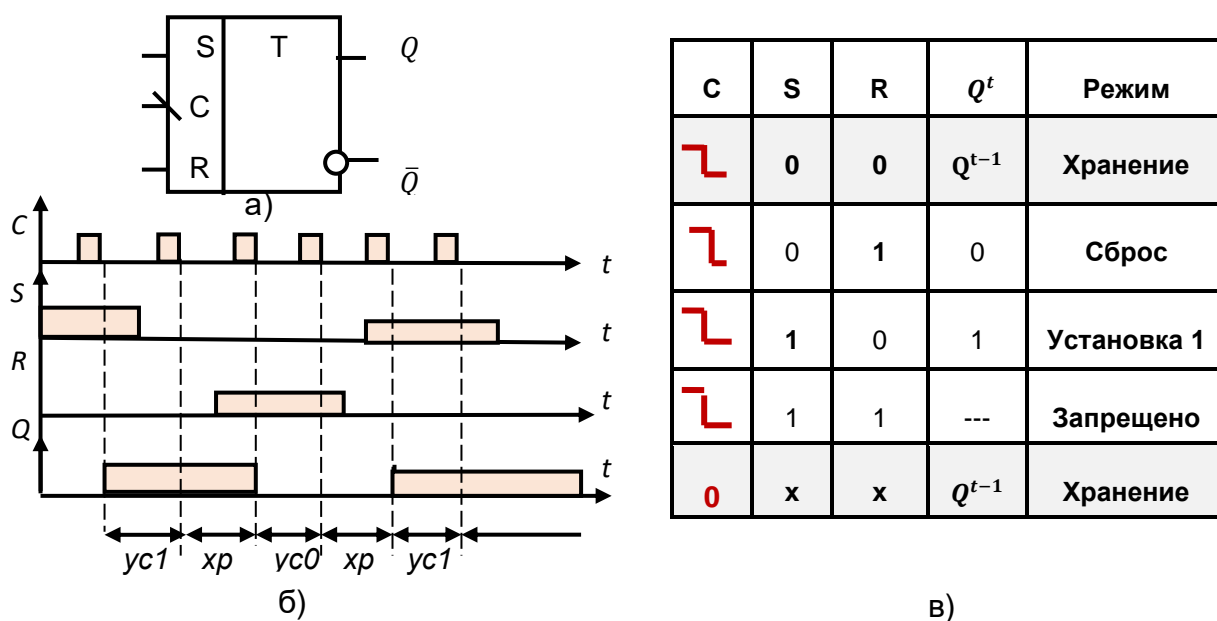


Рис. 1.13. Синхронный  $RS$ -триггер с динамическим управлением по отрицательному фронту ( $t_{\text{фр}}^-$ ): а - условное обозначение; б - таблица состояний; в - временная диаграмма работы

Нужно заметить, что входы  $S$  и  $R$  присутствуют не только в  $RS$ -триггерах, но и в других типах триггеров, где эти входы являются вспомогательными и предназначены, в основном, для асинхронного принудительного сброса в  $0$  или принудительной установки в  $1$ .

#### 1.4. Синхронный $D$ -триггер

В п.1.2 настоящего пособия сказано, что вход  $D$  – это вход установки триггера в состояние, соответствующее пришедшему логическому уровню, т.е. сигнал, пришедший на вход  $D$ , появляется на выходе  $Q$ .

Работу синхронного  $D$ -триггера можно описать следующим образом:

если вход  $C$  **активен** - на выход проходит сигнал со входа  $D$ , т.е.  $Q^t = D$ ;  
 если вход  $C$  **неактивен** – триггер хранит состояние, т.е.  $Q^t = Q^{t-1}$ .

Условное обозначение, таблица состояний и временная диаграмма работы статического  $D$ -триггера представлены на

рис.1.14. Сигналы на входе  $D$  меняются только в отсутствие сигнала на входе  $C$ .

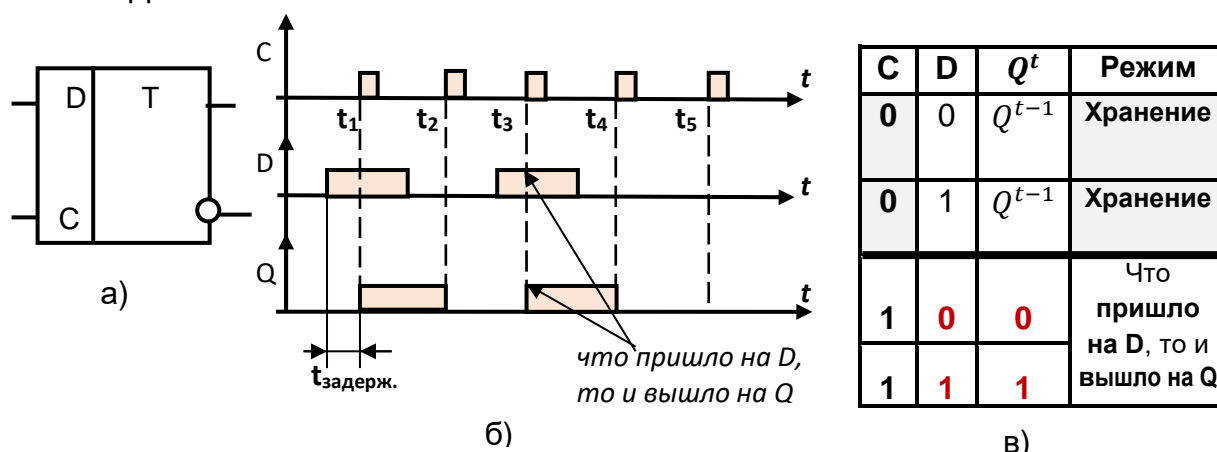


Рис.1.14. Синхронный статический  $D$ -триггер: а - условное обозначение; б - временная диаграмма; в - таблица состояний

Для запоминания принципа действия синхронного  $D$ -триггера можно использовать фразу:

**$D$ -триггер работает по принципу "что пришло на  $D$ , то и вышло» при активном входе  $C$ .**

Поясним временную диаграмму работы триггера:

- $0-t_1$  – синхровход  $C$  не активен: триггер хранит предыдущее состояние, но не известно, какое именно, предположим, что  $0$ ;
- $t_1 - t_2$  – в течение времени длительности импульса – на входе  $C$  логическая  $1$ , триггер срабатывает, «пропуская» на выход сигнал со входа  $D$ , т.е  $1$ . После окончания импульса  $C$ : триггер переходит в режим хранения  $1$  до момента  $t_2$ ;
- $t_2 - t_3$  - рассуждения аналогичны предыдущим: при  $C = 1$  – на выход проходит сигнал со входа  $D$  – логический  $0$ , в остальное время до момента  $t_3$  триггер хранит состояние и.т.д.

Из графика ( см. рис.1.14) видно, что сигнал со входа  $D$  проходит на выход  $Q$  с временной задержкой  $t_{\text{задерж.}}$ , обусловленной моментом прихода сигнала на вход  $C$ , поэтому  $D$ -триггер называют иногда триггером задержки.

Примеры синхронных динамических  $D$ -триггеров, синхровходы  $C$  которых активизируются фронтом пришедшего импульса, приведены на рис.1.15 и 1.16.

Триггер, изображенный на рис.1.15, срабатывает по положительному фронту импульса  $C$ , все остальное время хранит состояние. Из временной диаграммы видно, что в моменты появления на входе  $C$  – положительных фронтов триггер пропускает логические уровни напряжений со входа  $D$  на выход  $Q$  - «что пришло на  $D$ , то и вышло».

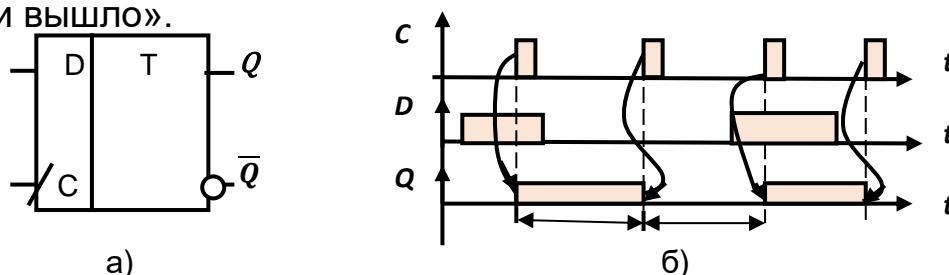


Рис.1.15. Синхронный динамический  $D$ -триггер, срабатывающий по положительному фронту импульса  $C$ : а – условное обозначение; б – временная диаграмма работы

На рис.1.16 изображены синхронные  $D$ -триггеры: динамический и двухтактный. Оба срабатывают по отрицательному фронту импульса  $C$ . Первый – срабатывает по отрицательному фронту – согласно его условному обозначению.

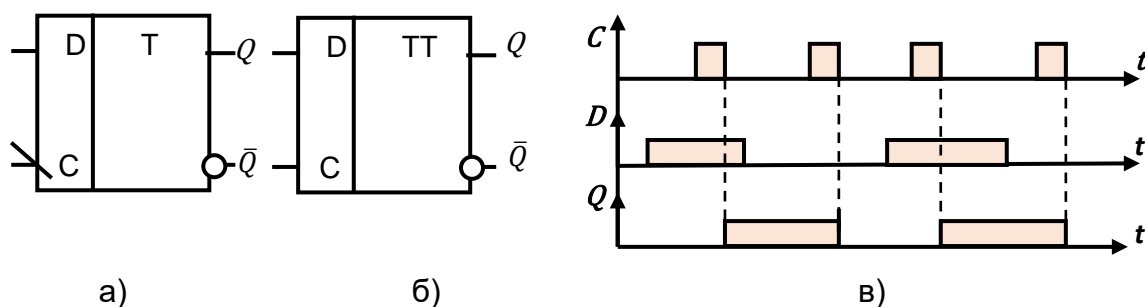


Рис.1.16. Синхронные  $D$ -триггеры и временная диаграмма их работы: а - с динамическим входом (срабатывает по отрицательному фронту импульса  $C$ ); б – двухтактный; в – временная диаграмма их работы

Второй – двухтактный – состоит из двух ступеней (ТТ – в условном обозначении), но тоже срабатывает по отрицательному



фронту  $C$  (по второму такту)<sup>5</sup>. Таким образом, временная диаграмма на рис. 1.16в справедлива для работы обоих триггеров.

На рис. 1.17 представлено условное графическое обозначение микросхемы  $D$ -триггера K555TM2 с динамическим входом и дополнительными асинхронными инверсными входами  $\bar{S}$  и  $\bar{R}$ , которые называются входами **принудительной** либо **предварительной** установки, в общем случае такие входы называют входами **предустановки**.

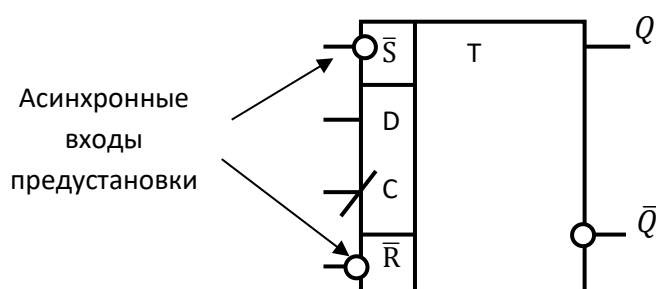


Рис. 1.17. Синхронный  $D$ -триггер с динамическим входом и дополнительными асинхронными инверсными входами  $\bar{S}$  и  $\bar{R}$  (микросхема K555TM2)

Особенностью работы триггера является возможность его принудительной установки в  $1$  или  $0$  активизацией входов  $\bar{S}$  и  $\bar{R}$ .

Входы  $\bar{S}$  и  $\bar{R}$  имеют приоритет, поэтому активизацией этих входов можно прервать работу триггера. Также использование входов  $\bar{S}$  и  $\bar{R}$  может предшествовать работе триггера. В этом случае выполняется предварительная установка триггера в требуемое состояние – все зависит от поставленной задачи.

## 1.5. $T$ -триггеры

Название входа триггера  $T$  происходит от английского *toggles* – переключить. Активизация входа  $T$  вызывает изменение состояния триггера на противоположное тому, в котором триггер находился, т.е. триггер переключается. Вход  $T$  называют счетным входом. Различают асинхронный и синхронный  $T$ -триггеры.

<sup>5</sup> Первым тактом считается положительный фронт.

### 1.5.1. Асинхронный $T$ -триггер

На рис.1.18 изображен **асинхронный двухтактный  $T$ -триггер** и временная диаграмма его работы. Условное обозначение буквами ТТ – указывает на то, что триггер двухтактный: срабатывает по отрицательному фронту.

Согласно временной диаграмме, до прихода отрицательного фронта импульса  $T$ -триггер хранит **0**. Триггер переключается с приходом каждого отрицательного фронта  $t_{\text{фр}}^-$  входного импульса в противоположное состояние.

Для запоминания принципа действия асинхронного  $T$ -триггера можно использовать фразу:

с активизацией входа  $T$ – на выходе  $Q$  **«не то, что было»** в предыдущий момент

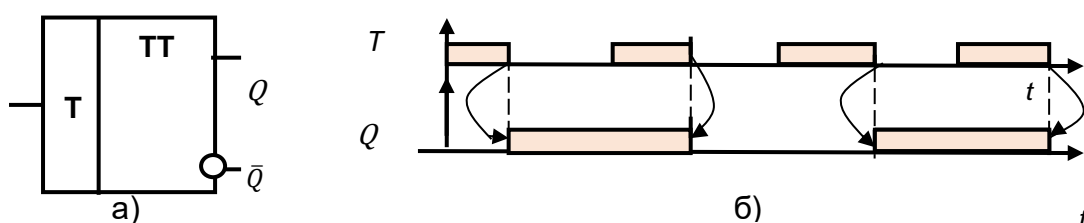


Рис.1.18. Асинхронный двухтактный  $T$ -триггер:

а - условное обозначение; б - временная диаграмма работы

Нетрудно заметить, что на выходе триггера формируется последовательность импульсов, частота следования которых в 2 раза меньше частоты следования входных импульсов. Таким образом, триггер может работать в режиме делителя частоты на 2.

### 1.5.2. Синхронный $T$ -триггер

Синхронный  $T$ -триггер работает (переключается) только при активизации входа  $C$ , но и еще при одном условии: при  $T=1$ . Условное обозначение, таблица состояний и временная диаграмма работы триггера приведены на рис.1.19.

Из временной диаграммы видно, что триггер переключается (меняет состояние выхода) с приходом каждого положительного фронта импульса на входе  $C$  **только** при  $T=1$ . После того, как логический уровень напряжения на входе  $T$  станет равным **0**, –

импульсы  $C$  уже не влияют на выходное напряжение: триггер хранит последнее установленное значение.

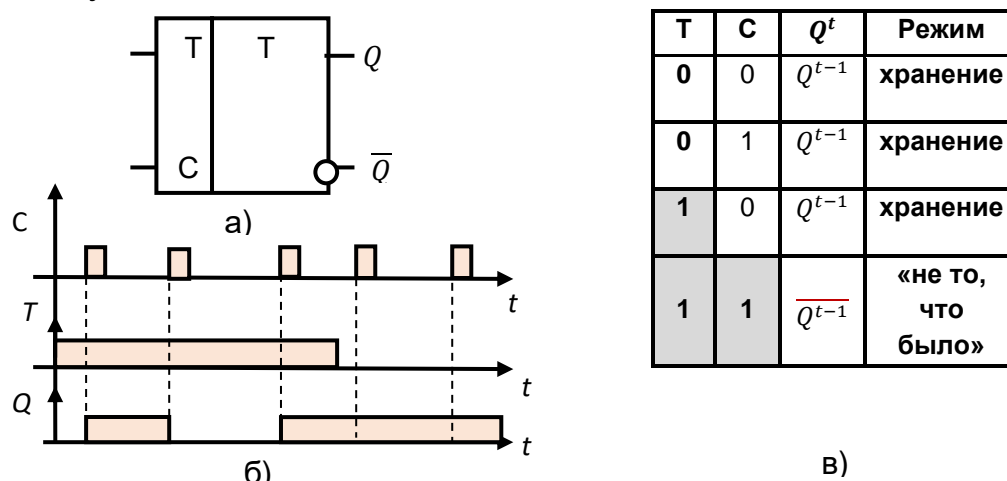


Рис.1.19. Синхронный  $T$ -триггер: а - условное обозначение; б - временная диаграмма работы; в - таблица состояний

Работу синхронного  $T$ -триггера можно описать следующим образом:

Если вход  $C$  активен, то все зависит от напряжения на входе  $T$ :

- ✓ при  $T=1$  - триггер **меняет состояние** на противоположное  $Q^t = \overline{Q^{t-1}}$  – работает по принципу «не то, что было» в предыдущий момент;
- ✓ при  $T=0$  - **хранит** состояние:  $Q^t = Q^{t-1}$ .

Если вход  $C$  неактивен – **хранит** состояние:  $Q^t = Q^{t-1}$ .

Пример реализации синхронного  $T$ -триггера на  $D$ -триггере показан на рис.1.20б. Перед работой триггер сбрасывается: на выходе  $Q$  появляется  $0$ , на  $\overline{Q}$  -  $1$ , которая передается на вход  $D$ . С приходом синхроимпульса – логическая  $1$  со входа  $D$  передается на выход  $Q$ , а на  $\overline{Q}$  появляется  $0$ . И так далее.

Синхронный  $T$ -триггер можно применять для понижения частоты в 2 раза: для этого на  $T$  вход подают единицу, на  $C$  – частоту  $f_{вх}$  подлежащую делению, а на выходе  $Q$  получают сигнал с частотой  $f_{вх}/2$ . (рис. 1.20, а).

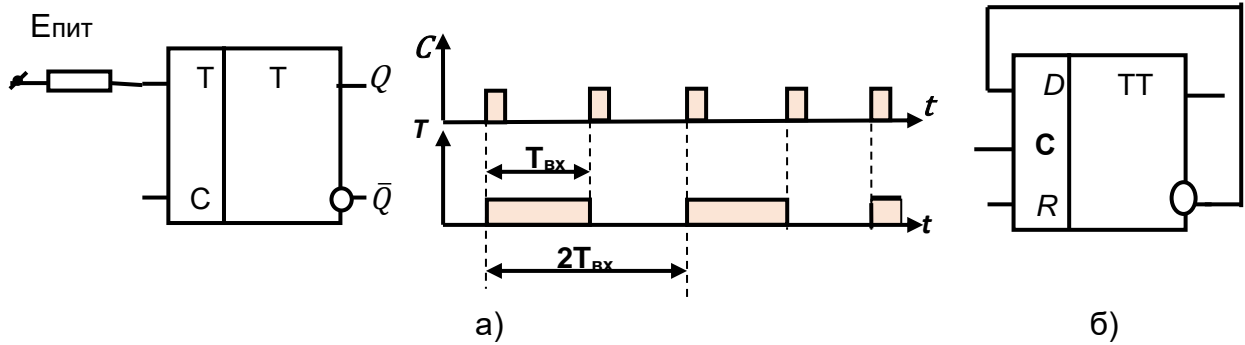


Рис. 1.20. Т- триггер: а - пример использования Т-триггера для понижения частоты в 2 раза; б - реализация Т-триггера на D-триггере

### 1.6. Универсальный JK-триггер

Универсальный JK-триггер по принципу действия похож на RS-триггер. Вход **J** – это единичный вход, вход **K** – нулевой. Активизация соответствующего входа вызывает установку триггера в **1** или в **0**. Если входы **J** и **K** неактивны – триггер хранит. Основное отличие JK-триггера от RS-триггера состоит в том, что у него нет запрещенной входной комбинации: при  $J=1$  и  $K=1$  – триггер работает в режиме Т-триггера. Различают асинхронные и синхронные JK-триггеры .

#### 1.6.1. Асинхронный JK-триггер

Условное обозначение, таблица состояний и временная диаграмма работы асинхронного JK-триггера представлены на рис.1.21.

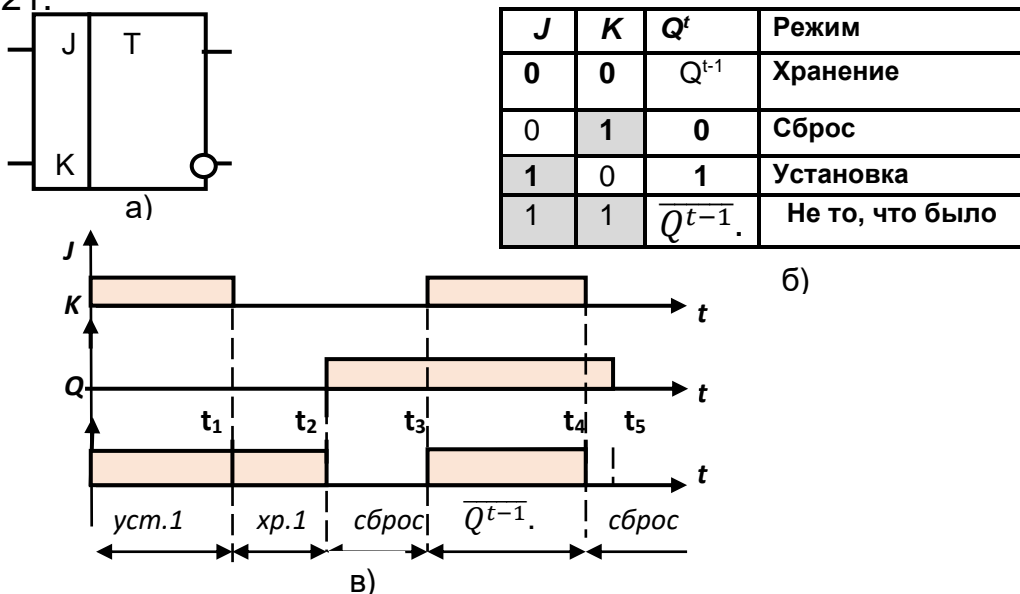


Рис.1.21. Асинхронный JK-триггер: а - условное обозначение; б - таблица состояний; в - временная диаграмма работы

Асинхронный  $JK$ -триггер работает следующим образом:

**Активен  $J$  – установка в 1;**  
**Активен  $K$  – сброс в 0;**  
**Неактивны оба входа  $J$  и  $K$  - хранение;**  
**Активны оба входа  $S$  и  $R$  - режим  $T$ -триггера**

Режим  $T$ -триггера означает: триггер переключится в состояние, противоположное тому, в котором находился:  $Q^t = \overline{Q^{t-1}}$ .

Рассмотрим временную диаграмму работы  $JK$ -триггера (рис.1.21в).

В период времени:

$0-t_1$  – активен единичный вход  $J$ : триггер устанавливается в **1**;

$t_1-t_2$  – неактивны оба входа  $JK=00$ : хранение установленного ранее состояния, т.е. **1**;

$t_2 - t_3$  – активен нулевой вход  $K$ : сброс триггера, на выходе **0**;

$t_3-t_4$  – оба входа активны -  $JK= 11$ : режим  $T$ -триггера: «не то, что было» в предыдущий момент времени: на выходе **1**;

$t_4 - t_5$  – активен нулевой вход  $K$ : сброс триггера в **0**;

$t_5-\infty$  – неактивны оба входа –  $JK=00$ : хранение установленного ранее состояния **0**.

### 1.6.2. Синхронный $JK$ -триггер

Синхронные  $JK$ -триггеры срабатывают как **асинхронные  $JK$ -триггеры при активном входе  $C$** . В остальных случаях хранят состояние. В зависимости от способа активизации синхровхода – уровнем или фронтом -  $JK$ -триггеры могут быть статическими или динамическими.

Рассмотрим работу синхронного динамического  $JK$ -триггера, изображенного на рис.1.22. Активность входа  $C$ , согласно условному обозначению, обеспечивается положительным фронтом  $t_{\phi p}^+$  импульса.

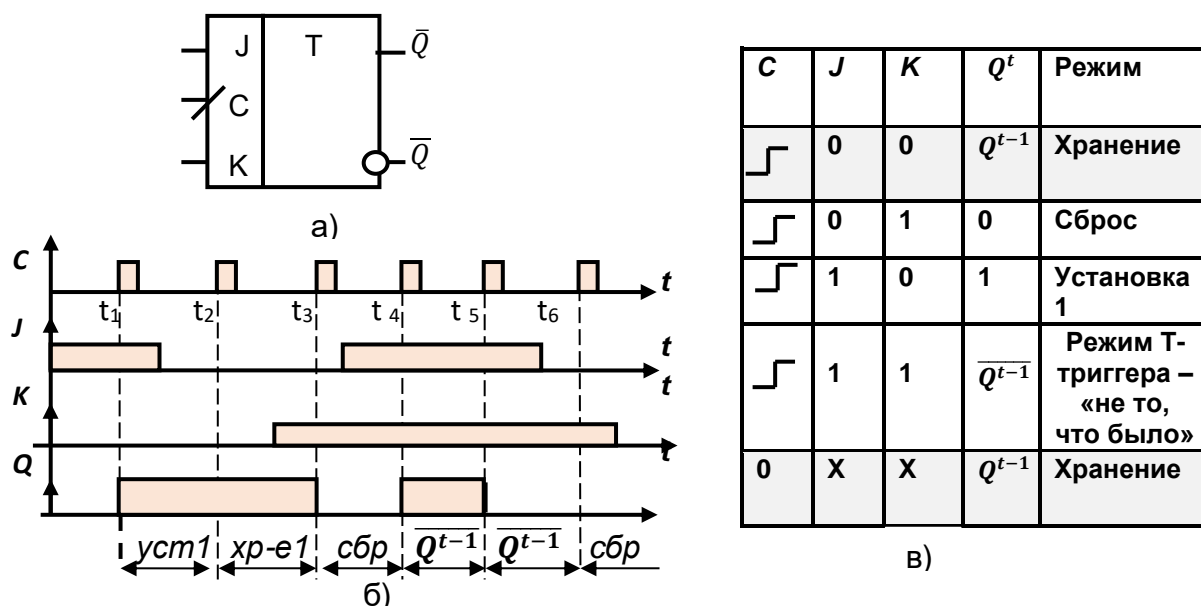


Рис.1.22. Синхронный  $JK$ -триггер с динамическим управлением:

А - условное обозначение; б - временная диаграмма работы; в - таблица состояний

Рассмотрим временную диаграмму (рис.1.22, б):

Триггер срабатывает только в моменты прихода положительного фронта на вход  $C$ :  $t_1, t_2, t_3, t_4, t_5, t_6$ . Между фронтами – триггер хранит состояние.

В период времени:

- $0-t_1$  – вход  $C$  – неактивен: триггер хранит состояние, допустим,  $0$ ;
- $t_1-t_2$  – в момент  $t_1$  – фронт на входе  $C$ : активен вход  $J$  ( $J=1$ ), режим – установка в  $1$ : на выходе  $1$ ;
- $t_2-t_3$  – в момент  $t_2$  – фронт на входе  $C$ :  $J$  и  $K$  - неактивны ( $JK=00$ ): режим хранения, на выходе  $1$ ;
- $t_3-t_4$  – в момент  $t_3$  – фронт на входе  $C$ : активен нулевой вход  $K=1$ , режим – сброс: на выходе  $0$ ;
- $t_4-t_5$  – в момент  $t_4$  – фронт на входе  $C$ : активны оба входа  $JK=11$ , режим работы  $T$ -триггера «не то, что было»: на выходе  $1$ ;
- $t_5-t_6$  – в момент  $t_5$  – фронт на входе  $C$ : активны оба входа –  $JK=11$ , режим работы  $T$ -триггера «не то, что было»: на выходе  $0$ ;
- $t_6 - \infty$  - в момент  $t_6$  – фронт на входе  $C$ : активен нулевой вход  $K=1$ , режим – сброс: на выходе  $0$ .

На рис.1.23а,б изображены микросхемы *JK*-триггеров с входами принудительной (предварительной) установки в **1** или **0** путем активизации входов  $\bar{S}$  и  $\bar{R}$ . Входы предварительной установки имеют приоритет перед остальными входами, т.е. их активация вызывает установку триггера в **1** или **0** сразу и независимо от сигналов на других входах. В остальном такой триггер срабатывает как обычный синхронный *JK*.

Еще один вариант *JK*-триггера – это триггеры с объединением входов по  $\&$ , они позволяют выполнить операцию **И** над тремя входными сигналами, поступившими на три входа, а результат операции - считать поданным на входы **J** и **K** триггера (рис.1.23, б).

*JK*-триггер называют **универсальным** потому, что на нем можно построить другие варианты триггеров. На рис.1.23, в;г приведены примеры реализации *T*- и *D*-триггеров на *JK*-триггере.

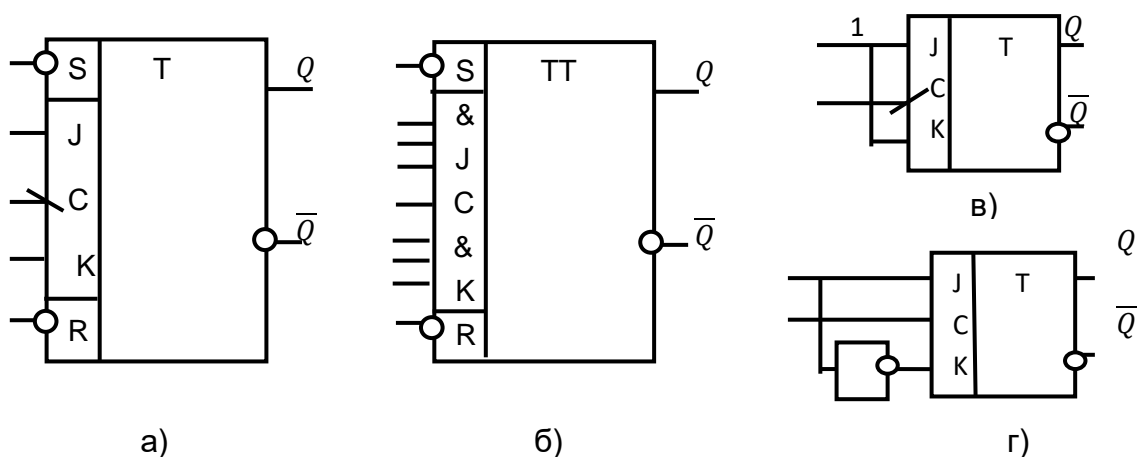


Рис. 1.23. *JK*- триггер: а - условное обозначение микросхемы К555ТВ9 - *JK*-триггера с дополнительными инверсными входами  $\bar{S}$  и  $\bar{R}$  ;  
 б - условное обозначение микросхемы 155ТВ1 - *JK*-триггера с входами расширения по  $\&$ ; в - *T*-триггер, построенный на *JK*; г - *D*-триггер, построенный на *JK*

Работа *T*-триггера, построенного на базе *JK*-триггера, обеспечивается подачей логических **1** на входы **J** и **K**, а вход **C** – используется как счетный вход. С приходом каждого импульса на вход **C** триггер срабатывает по принципу «не то, что было».

Работа  $D$ -триггера на базе  $JK$ -триггера, обеспечивается логическим элементом **НЕ**: когда на входе  $J$  – логическая **1** (на входе  $K$  – логический **0**), то активизируется **единичный вход**, поэтому триггер устанавливается в **1**.

Когда на входе  $J$  логический **0**, на вход  $K$  поступает логическая **1**, следовательно, активизируется **нулевой вход** и триггер устанавливается в **0**. Получается, что триггер работает в соответствии с правилом  $D$ -триггера – «**что пришло на  $D$ , то и вышло на  $Q$** ».

Пример построения асинхронного  $RS$ -триггера с инверсными входами и синхронного  $RS$ -триггера на базе микросхемы К155ТВ1 приведен на рис.1.24.

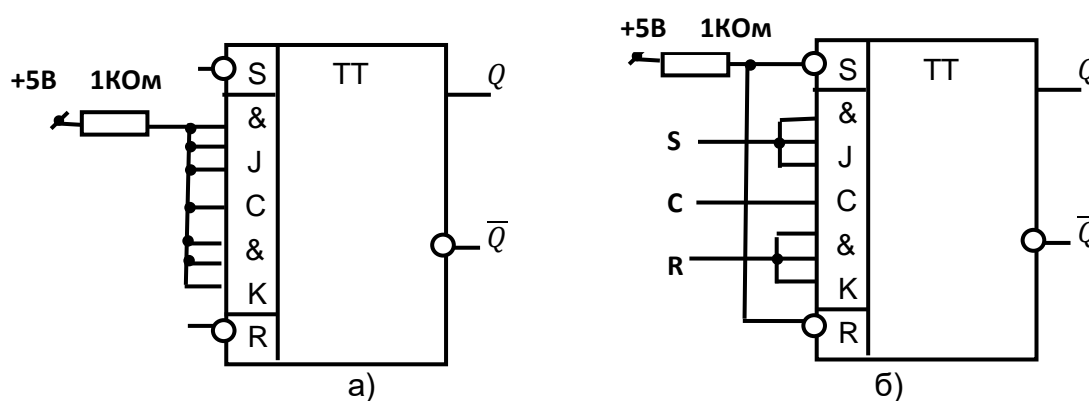


Рис. 1.24.  $RS$ -триггер, построенный на базе микросхемы К155ТВ1:

а – асинхронный  $RS$ -триггер; б - синхронный  $RS$ -триггер

Для построения асинхронного  $RS$ -триггера на все незадействованные входы микросхемы подана логическая **1**. Входы  $\bar{S}$  и  $\bar{R}$  — это информационные входы полученного асинхронного триггера.

Для построения синхронного  $RS$ -триггера логическая **1** принудительно подана на незадействованные входы  $\bar{S}$  и  $\bar{R}$ . Входные сигналы  $S$  и  $R$  поступают на входы  $\&J$  и  $\&K$  К155ТВ1.



## Режимы работы триггеров: УСТАНОВКА В 1, СБРОС В 0, ХРАНЕНИЕ

### RS-триггер:

(**S** – единичный вход, **R** – нулевой вход)

- асинхронный: **S** – активен – установка в 1;  
                   **R** – активен – сброс в 0;  
                   **S** и **R** – неактивны оба – хранение;  
                   **S** и **R** – активны оба – запрещено;
- синхронный: если **C** – активен – работает как асинхронный;  
                   если **C** – неактивен – хранение.

### JK-триггер

(**J** - единичный вход, **K** – нулевой вход):

- асинхронный: **J** – активен – установка в 1;  
                   **K** – активен – сброс в 0;  
                   **J** и **K** – неактивны оба - хранение;  
                   **J** и **K** – активны оба - режим **T**-триггера  
                                   - переключение;
- синхронный: если **C** – активен – работает как асинхронный;  
                   если **C** – неактивен – хранение.

### T-триггер

(**T** - вход переключения)

- асинхронный: **T** – активен – переключение: «не то, что было на **Q**»;  
                   **T** – неактивен - хранение;
- синхронный: если **C** активен:  
                   **T=1** – переключение: «не то, что было на **Q**»;  
                   **T=0** – хранение;  
                   если **C** неактивен – хранение.

### D-триггер синхронный

(**D** – вход задержки)

- если **C** активен – работает по принципу «что пришло на **D**, то и вышло на **Q**»;
- если **C** неактивен – хранение.

Для закрепления материала решим несколько задач.

### 1.6.3.Примеры решения задач

**Задача 3.** Построить временную диаграмму напряжения на выходе, если входные напряжения представлены графиками. Считать, что до срабатывания – до  $t_0$  – триггер хранит **1** (рис.1.25)

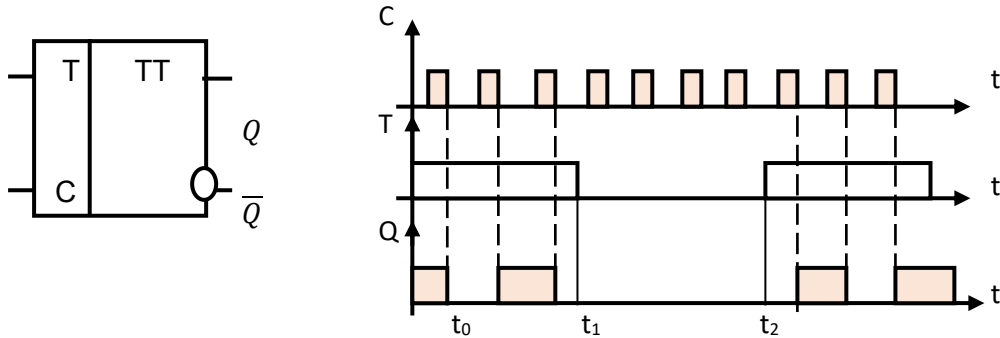


Рис.1.25. Условие задачи 3

**Решение.** На рис.1.25. изображен синхронный двухтактный T-триггер, значит:

- ✓ триггер работает только по отрицательному фронту импульса на входе  $C$  – показано пунктирами;
- ✓ триггер работает только при  $T=1$ , в остальных случаях – хранит состояние.

Сигнал на входе  $T$  равен **1** в интервалы времени от  $0-t_1$  и  $t_1-t_2$  – триггер работает по принципу «не то, что было» на выходе  $Q$ .

**Задача 4.** Построить временную диаграмму напряжения на выходе, если входные напряжения представлены графиками. Считать, что до срабатывания триггер хранит **0** (рис.1.26).

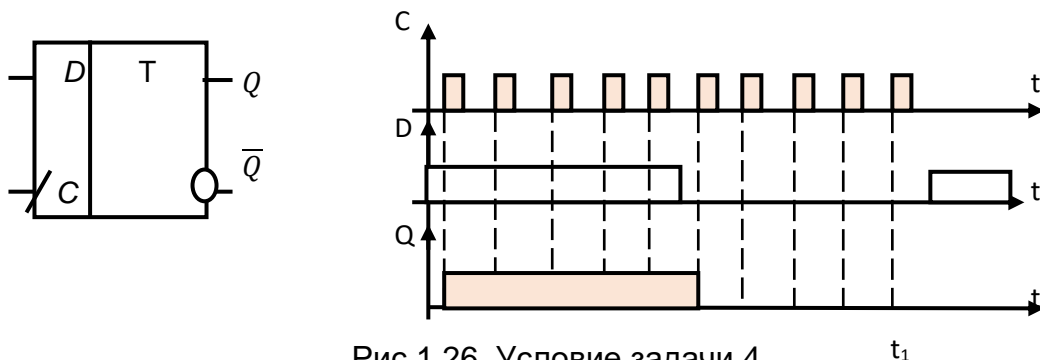


Рис.1.26. Условие задачи 4

**Решение.** На рис.1.26 изображен синхронный  $D$ -триггер, срабатывающий по положительному фронту на входе  $C$ , между фронтами - хранит состояние.

В момент прихода положительного фронта на  $C$  триггер срабатывает по принципу «что пришло на  $D$ , то и вышло на  $Q$ ». После появления последнего положительного фронта импульса на входе  $C$  - триггер хранит состояние, поэтому не реагирует на логическую  $1$ , поступившую на вход  $D$  позднее  $t_1$ .

**Задача 5.** Построить временную диаграмму напряжения на выходе  $T$ -триггера, если входные напряжения  $RS$ -триггера представлены графиками. Считать, что до срабатывания триггеры хранят логические  $0$  (рис.1.27).

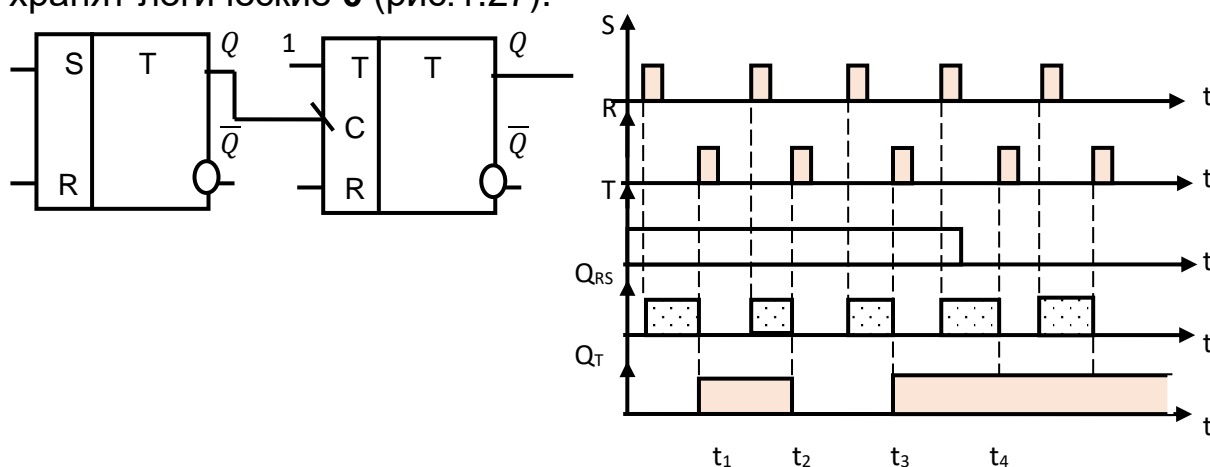


Рис.1.27. Условие задачи 5

**Решение.** Из рис. 1.27 видно, что  $Q$  выход  $RS$ -триггера соединен с входом  $C$  синхронного  $T$ -триггера, срабатывающего по отрицательному фронту импульса на входе  $C$ .

Нарисуем состояние  $Q$  выхода  $RS$ -триггера, учитывая, что  $S$  – единичный вход, а  $R$  – нулевой: при активизации единичного входа – триггер устанавливается в  $1$ , а при активизации нулевого – сбрасывается. На выходе  $Q_{RS}$  появляются импульсы (показаны точками на временной диаграмме).

Импульсы с выхода  $Q_{RS}$  поступают на вход  $C$   $T$ -триггера. В моменты появления отрицательного фронта на  $C$  входе  $T$ -триггера, в моменты  $t_1$ ,  $t_2$  и  $t_3$  на входе  $T=1$ , поэтому триггер срабатывает. Однако при появлении отрицательного фронта на входе  $C$  в момент  $t_4$  -  $T=0$ . Поэтому триггер переходит в режим хранения.

**Задача 6.** Нарисовать временную диаграмму напряжения на выходе схемы  $Y$ , если график входного напряжения представлен на

рис.1.28. Принять, что перед началом работы триггеры были сброшены.

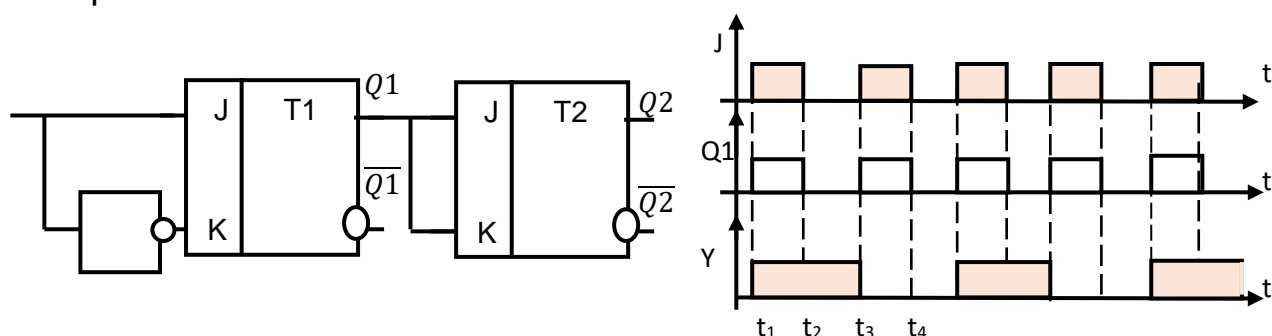


Рис.1.28. Условие задачи 6

**Решение.** Схема состоит из двух *JK*-триггеров Т1 и Т2.

Особенность работы Т1 – на входы могут поступать только взаимно противоположные сигналы, так как в схеме использован инвертор. Особенность работы Т2 – на входы могут поступать только одинаковые сигналы, так как входы *J* и *K* объединены. Отсюда и режимы работы обоих триггеров.

**Триггер Т1.** При  $J=1$  – триггер устанавливается в 1, а при  $J=0$  – сбрасывается. Получается, что напряжение на выходе  $Q1$  – повторяет входной сигнал.

**Триггер Т2.** Возможна работа либо в режиме *T*-триггера – при  $JK=11$ , либо в режиме хранения – при  $JK=00$ :

- в момент  $t_1$  – на входы триггера Т2 поступают логические 1 -  $JK=11$  – режим *T*-триггера, поэтому на выходе «не то, что было» до момента  $t_1$ :  $Y=1$ ;

- в момент  $t_2$  на входах –  $JK=00$ , поэтому триггер хранит состояние, т.е.  $Y=1$ ;

- в момент  $t_3$  -  $JK=11$  – режим *T*-триггера «не то, что было» до момента  $t_3$ , поэтому  $Y=0$  и т.д.

**Задача 7.** Нарисовать временную диаграмму напряжения на выходе схемы  $Y$ , если график входного напряжения представлен на рис.1.29. Принять, что перед началом работы триггеры Т1 – хранил 1, а Т2 – 0.

**Решение.** Триггер Т1 – срабатывает по отрицательному фронту импульса  $C$ , но до прихода импульса хранит  $1$ . Поэтому в момент  $t_1$  на выходе  $Q1=0$ , а в момент  $t_2$  –  $Q1=1$  и т.д.

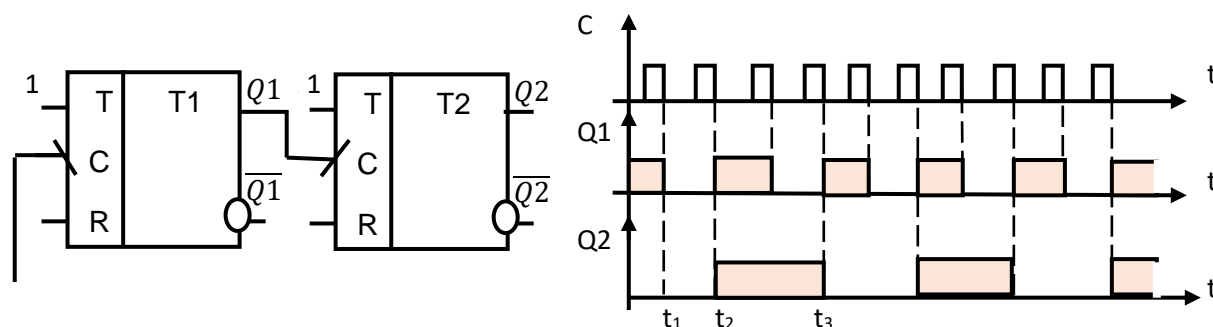


Рис.1.29. Условие задачи 7

Триггер Т2 срабатывает по положительному фронту на входе  $C$ , но до момента  $t_1$  хранил  $0$ , поэтому в момент  $t_2$ , получив на вход  $C$  положительный фронт с выхода  $Q1$ , – перебрасывается:  $Q2=1$ , следующий положительный фронт с выхода  $Q1$  – в момент времени  $t_3$ , следовательно,  $Q2=0$  и т.д.

**Задача 8.** Для того чтобы попасть в помещение нужно нажать на панели из 10 кнопок - кнопки 2, 4 и 9. Разработать схему, вырабатывающую сигнал  $1$  для открывания двери, если код  $ABC$  набран верно.

**Решение.** Нажатие кнопки – процесс кратковременный, соответственно и сформированный сигнал имеет малую длительность.

Кнопки нажимают последовательно, т.е. приходят три коротких сигнала, поэтому из каждого сигнала нужно сформировать логический уровень напряжения, а затем проверить: есть ли сигналы от всех кнопок? Если да, то выдать на выход схемы логическую  $1$ , которая будет использована в качестве разрешающего сигнала для открытия двери, если нет – то логический  $0$ .

**Описание работы схемы.** Сразу после подачи напряжения питания на схему (рис.1.30) триггеры могут установиться в любое состояние, поэтому перед началом работы на все входы  $R$  всех триггеров подается сигнал начального сброса – логический  $0$ , так как входы  $R$  триггеров – инверсные.

Нажатием кнопок 2,4 и 9 устанавливаются триггеры  $DD1, DD2, DD3$  в 1. На выходе  $DD4$  – появляется логическая 1 – сигнал разрешения открытия двери. Заметим, что разработанная схема «отслеживает» любое сочетание нажатых трех клавиш 2,4,9. Но не контролирует последовательность их нажатия.

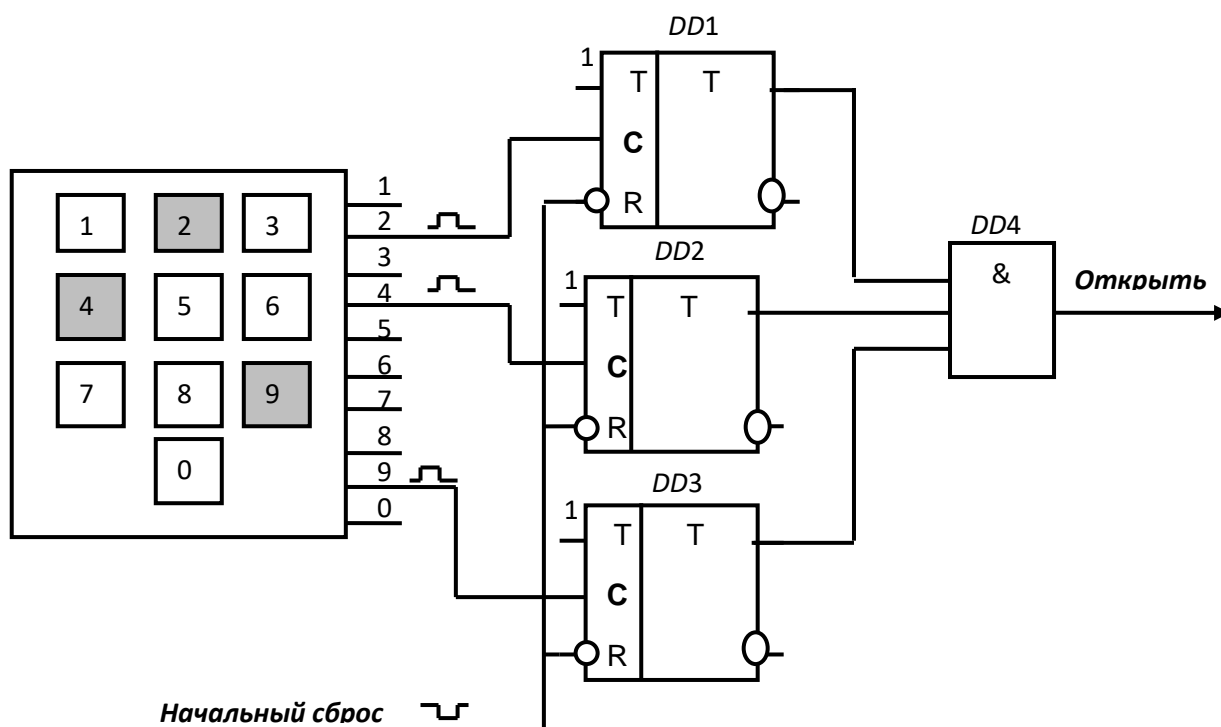


Рис.1.30. Решение задачи 8

**Задача 9.** Усложним задачу 7. Разработать схему, которая оценивает последовательность нажатия клавиш: 4,2,9. И в случае, если код набран верно, выдает сигнал на открытие двери.

**Решение.** Для того чтобы отследить последовательность нажатий, нужно аппаратно получить сигнал, который будет производным от правильного порядка нажатий. Для этого используем триггер, который устанавливается в 1 от нажатия кнопки 4, сбрасывается от нажатия кнопки 2 – то есть на выходе триггера появляется отрицательный фронт, который отследим другим триггером, срабатывающим по отрицательному фронту (рис.1.31).

**Описание работы схемы.** Сразу после подачи напряжения питания вырабатывается сигнал начального сброса,

обеспечивающий сброс триггеров  $DD3$ ,  $DD4$ ,  $DD7$  логическим  $0$ , а триггера  $DD6$  – через инвертор  $DD2.1$  и ЛЭ ИЛИ  $DD5$  - логической  $1$ .

При нажатии кнопки  $4$  на выходе Т-триггера  $DD3$  появится логическая  $1$ , которая установит  $RS$ -триггер  $DD6$  в  $1$ , а нажатие кнопки  $2$  – сбросит  $DD6$  в  $0$ . На выходе триггера  $DD6$  появится отрицательный фронт, по которому сработает  $D$ -триггер  $DD7$  и на его выходе появится  $1$ . При другой последовательности набора на выходе  $DD5$  отрицательный фронт не появится!

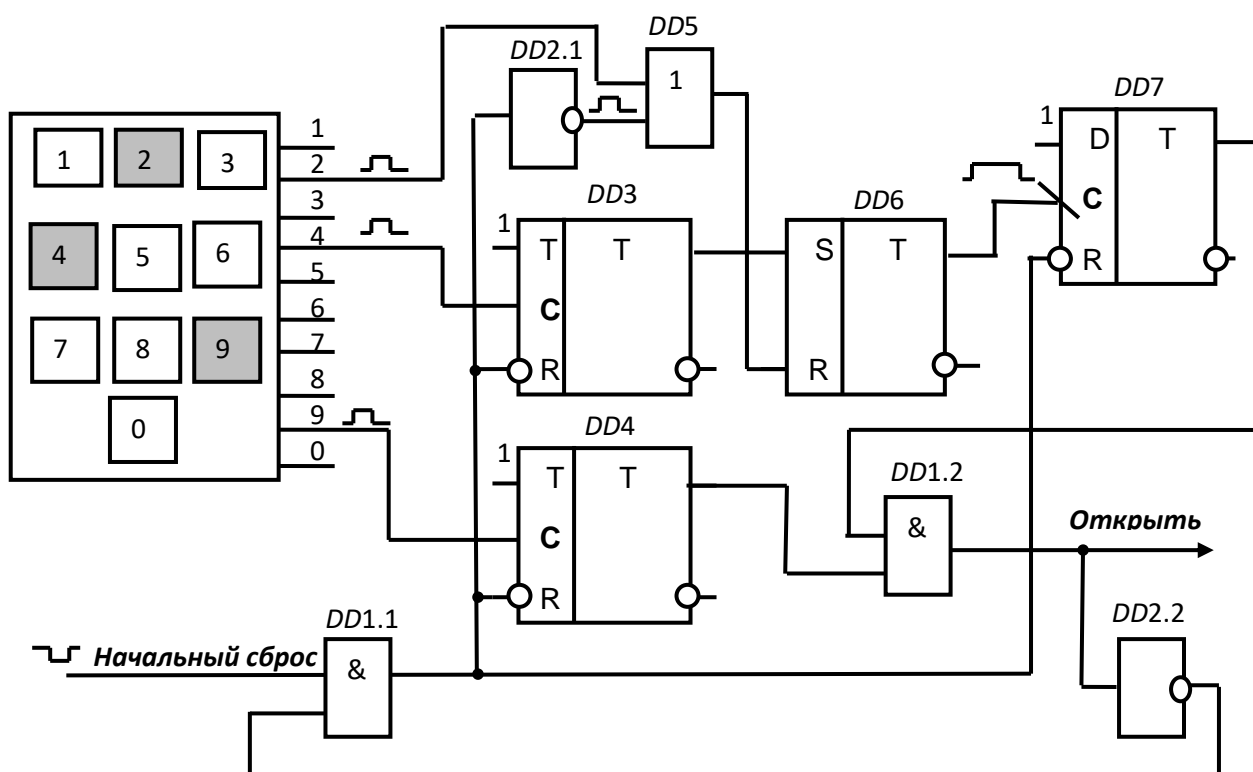


Рис.1.31. Решение задачи 9

Логическая  $1$  с выхода  $D$ -триггера  $DD7$  поступит на вход ЛЭ И  $DD1.2$  и схема будет ожидать сигнала от нажатия кнопки  $9$ . При нажатии кнопки  $9$  на выходе Т-триггера  $DD4$  появится логическая  $1$ , которая обеспечит появление сигнала открытия двери.

Как только сигнал открытия двери будет выработан, на выходе ЛЭ НЕ  $DD2.2$  появится логический  $0$ , который обеспечит сброс всех триггеров, и схема перейдет в режим ожидания нового набора.

Без преувеличения можно сказать, что **триггеры – основные устройства** электронных схем, таких как регистры, счетчики, арифметико-логические устройства, оперативная память и проч.

Работа цифровых устройств напрямую связана с двоичными числами, поэтому назрела необходимость уделить внимание двоичной системе счисления.

**Задача 10.** Разработать схему устройства, которая из серии импульсов, поступающих с генератора импульсов ГИ, оставляет только один импульс.

**Решение.** Из множества импульсов, вырабатываемых генератором, нужно оставить только один. Поэтому после того, как первый импульс пройдет на выход схемы – появится отрицательный фронт - нужно заблокировать прохождение остальных импульсов на вход.

Устройство, «отслеживающее» отрицательный фронт импульса, – это триггер, с динамическим входом, который установится в **1** по отрицательному фронту первого импульса, пришедшего с генератора. На инверсном выходе триггера появится логический **0**, который будучи поданным на один из входов логического элемента **И**, заблокирует прохождение импульсов, поступающих на другой вход - импульсы с ГИ. Структурная схема устройства выделения одного импульса из серии представлена на рис.1.32.

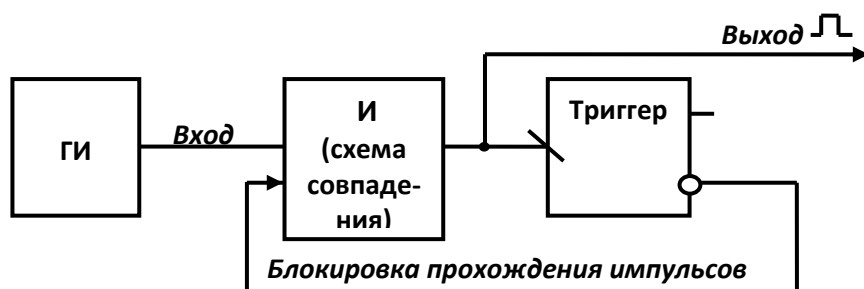


Рис. 1.32. Устройство выделения одного импульса из серии импульсов. Схема электрическая структурная

Для разработки функциональной схемы (рис.1.33) выберем Т-триггер, срабатывающий по отрицательному фронту импульса С (*DD2*). Подадим на Т-вход триггера логическую **1**, чтобы обеспечить его постоянную работу.

**Описание работы схемы.** Перед началом работы схемы (рис.1.33) Т-триггер сбрасывается по сигналу начального сброса и на его прямом выходе появляется логический **0**, а на инверсном -



логическая **1**, которая разрешает прохождение импульсов с генератора ГИ на выход логического элемента **И** *DD1*.

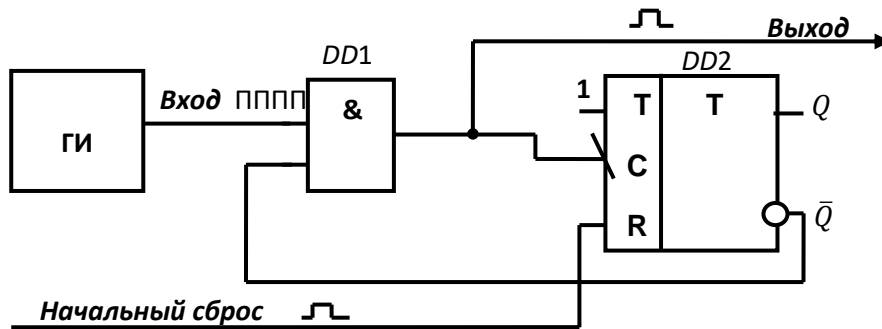


Рис.1.33.Устройство выделения одного импульса из серии. Схема электрическая функциональная

Как только появляется отрицательный фронт первого импульса на выходе схемы, *T*-триггер *DD2* устанавливается **1**, на его инверсном выходе появляется **0**, блокирующий прохождение импульсов с генератора через логический элемент *DD1*. Вот и все! Задача решена!

## Глава 2. СИСТЕМЫ СЧИСЛЕНИЯ

### 2. 1. Системы счисления. Перевод чисел в десятичную систему

Вся цифровая техника работает с числами, представленными в двоичной системе счисления. Это возможно благодаря транзисторам, находящимся внутри, открытое и закрытое состояние которых обеспечивает появление на выходах электронных схем логических **0** и логических **1**. Все данные, с которыми работают цифровые схемы – это «цепочки» нулей и единиц, представляющие собой двоичные коды. Однако эти цепочки не простой набор цифр - они представляют собой **числа** и формируются в соответствии с **правилами** – арифметическими законами, согласно которым каждая цифра - 0 или 1 – имеет свой весовой коэффициент.

### Законы, общие для всех систем счисления:

1. Количество используемых цифр равно основанию системы.
2. Число, равное основанию системы счисления, записывается: **10**.
3. Вес цифры зависит от ее позиции в числе и равен основанию системы счисления, возведенному в степень.
4. Десятичный эквивалент числа любой системы счисления можно представить суммой цифр, умноженных на собственные веса.

Последнее правило – используется для перевода чисел, записанных в разных системах счисления в десятичные.

Рассмотрим положения законов для трех систем счисления: десятичной, двоичной и шестнадцатеричной.

### Десятичная система

1. Количество цифр равно 10: от 0 до 9.
2. Число, равное основанию системы счисления: 10.
3. Вес цифр равен  $10^i$ , где  $i$  – разряд цифры, считая справа с 0:  
например, число 9999 стоит из одинаковых цифр, имеющих веса  
 $10^3 \ 10^2 \ 10^1 \ 10^0$ .

Показатели степени **растут справа налево**, считая от 0.

4. Каждое число может быть представлено как сумма цифр, умноженных на собственные веса:

$$9999_{(10)} = 9 \cdot 10^3 + 9 \cdot 10^2 + 9 \cdot 10^1 + 9 \cdot 10^0 = 9000 + 900 + 90 + 9$$

Если вести счет в 10-й системе, то после числа 9, в соседний старший разряд записывается 1, а в младший - 0 – поэтому следующее число 10 – двузначное. Каждый раз увеличение 9 на 1, добавляет в соседний разряд 1 – это просто, но важно для понимания систем счисления.

Этот принцип, когда при достижении максимальной цифры при счете, соседний старший разряд увеличивается на 1, справедлив для любой системы счисления.

### Двоичная система

1. Количество используемых цифр 2: 0 и 1.
2. Число  $2_{(10)}=10_{(2)}$ .
3. Все цифры в числе имеют вес  $2^i$ , где  $i$  – разряд цифры, считая справа, с 0.

#### Веса двоичных цифр:

- в 4-разрядном двоичном числе:  $2^3 2^2 2^1 2^0$  (или 8, 4, 2, 1),
  - в 8-разрядном двоичном числе:  $2^7 2^6 2^5 2^4 2^3 2^2 2^1 2^0$  (или 128, 64, 32, 16, 8, 4, 2, 1) – показатели степени растут справа налево.
4. Десятичный эквивалент двоичного числа представляют суммой цифр, умноженных на собственные веса.

**Перевод двоичного числа в десятичное** выполняют:

- а) приписыванием собственных весов над двоичными цифрами;
- б) сложением весов тех разрядов, где в двоичном коде расположена 1.

Рассмотрим правило 4 – число равно сумме цифр, умноженных на собственные веса:

$$\begin{aligned} 111011_{(2)} &= 1 \cdot 2^5 + 1 \cdot 2^4 + 1 \cdot 2^3 + 0 \cdot 2^2 + 1 \cdot 2^1 + 1 \cdot 2^0 = \\ &= 1 \cdot 32 + 1 \cdot 16 + 1 \cdot 8 + 0 \cdot 4 + 1 \cdot 2 + 1 \cdot 1 = 32 + 16 + 8 + 2 + 1 = 59_{(10)} \end{aligned}$$

- достаточно **сложить веса тех разрядов числа, где стоит 1!**

Рассмотрим другие примеры перевода двоичного числа в десятичное путем приписывания весов.

$$\begin{array}{cccccccc} 64 & 32 & 16 & 8 & 4 & 2 & 1 & \\ 1) & \mathbf{1} & \mathbf{0} & \mathbf{0} & \mathbf{0} & \mathbf{0} & \mathbf{0} & \mathbf{1} \end{array}_{(2)} = 64 + 1 = 65_{(10)} \qquad \begin{array}{cccccccc} 128 & 64 & 32 & 16 & 8 & 4 & 2 & 1 \\ 2) & \mathbf{1} & \mathbf{1} & \mathbf{1} & \mathbf{0} & \mathbf{1} & \mathbf{1} & \mathbf{0} & \mathbf{1} \end{array}_{(2)} = 227_{(10)};$$

$$\begin{array}{cccccccccccc} 2048 & 1024 & 512 & 256 & 128 & 64 & 32 & 16 & 8 & 4 & 2 & 1 \\ 3) & \mathbf{1} & \mathbf{1} & \mathbf{0} & \mathbf{0} & \mathbf{1} & \mathbf{1} & \mathbf{0} & \mathbf{0} & \mathbf{1} & \mathbf{1} & \mathbf{0} & \mathbf{0} \end{array}_{(2)} = \\ = 2048 + 1024 + 128 + 64 + 8 + 4 = 3276_{(10)}. \end{array}$$

### Шестнадцатеричная система:

1. Количество используемых цифр 16: от 0 до 9, A, B, C, D, E, F.
2. Число  $16_{(10)} = 10_{(16)}$ .
3. Вес цифры в числе  $16^i$ , где  $i$  – разряд цифры, считая справа, с 0.

#### Веса шестнадцатеричных цифр:

- в 4-разрядном числе  $16^3 16^2 16^1 16^0$  (или 4096, 256, 16, 1)
- в 6-разрядном числе  $16^5 16^4 16^3 16^2 16^1 16^0$  (или 1048560, 65535, 4096, 256, 16, 1) - показатели степени растут справа налево, считая с 0.

4. Число можно представить суммой цифр, умноженных на собственные веса - правило перевода чисел

#### Перевод шестнадцатеричного числа в десятичное

выполняют:

- приписыванием собственных весов над шестнадцатеричными цифрами;
- умножением цифр на собственные веса;
- сложением полученных результатов произведений.

Рассмотрим правило 4: «Каждое число может быть представлено как суммой цифр, умноженных на собственные веса»:

$$\begin{aligned} 9999_{(16)} &= 9 \cdot 16^3 + 9 \cdot 16^2 + 9 \cdot 16^1 + 9 \cdot 16^0 = \\ &= 9 \cdot 4096 + 9 \cdot 256 + 9 \cdot 16 + 9 \cdot 1 = 39348_{(10)} \end{aligned}$$

Рассмотрим примеры перевода шестнадцатеричного числа в десятичное путем приписывания весов.

1.  $2345_{(16)}$  – припишем веса над шестнадцатеричными цифрами

$$\begin{array}{cccc} 16^3 & 16^2 & 16^1 & 16^0 \\ \mathbf{2} & \mathbf{3} & \mathbf{4} & \mathbf{5}_{(16)} \end{array} = 2 \cdot 16^3 + 3 \cdot 16^2 + 4 \cdot 16^1 + 5 \cdot 16^0 =$$

$$= 2 \cdot 4096 + 3 \cdot 256 + 4 \cdot 16 + 5 \cdot 1 = 8192 + 768 + 64 + 5 = 9029_{(10)}.$$

2.  $AC_{(16)}$  - припишем веса над шестнадцатеричными цифрами

$$\begin{array}{cc} 16^1 & 16^0 \\ \mathbf{A} & \mathbf{C}_{(16)} \end{array} = \mathbf{A} \cdot 16^1 + \mathbf{C} \cdot 16^0 = 10 \cdot 16 + 12 \cdot 1 = 172_{(10)}.$$

**Комментарий.**

1. В двоичной системе счисления счет ведется от **0** до **1**, число на 1 большее, чем 1 записывается **10** (основание системы счисления), т.е. после того, как использована максимальная цифра (1), следующее число содержит 1 в соседнем старшем разряде и 0 – в младшем. В каждом разряде увеличение единицы на 1 даст 0, а соседний разряд слева увеличится на 1 по правилу  $1_{(2)}+1_{(2)}=10_{(2)}$ . Например:  
0, 1, 10, 11, 100, 101, 110, 111, 1000, 1001, 1010, 1011, 1100 и т.д.
2. В шестнадцатеричной системе счет ведется от **0** до **F**, число на 1, большее, чем F записывается **10** (основание системы счисления), т.е. после того, как использована максимальная цифра, следующее число содержит 1 в соседнем старшем разряде и **0** – в младшем. В каждом разряде увеличение F на 1 даст 0, а соседний разряд слева увеличится на 1 по правилу  $F_{(16)}+1=10_{(16)}$ .

**Пример:**

0,1,2,....,9,A,B,C,D,E,F,10,11,12,13,14,....,19,1A,1B...1F,20,21,22,23...2F,30 и т.д.

от 0 до F
ст. разряд 1, младший - от 0 до F
ст. разряд 2, младший от 0 до F

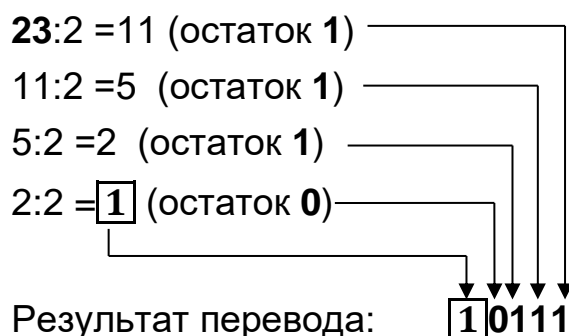
**2.2. Перевод десятичных чисел в двоичные**

Часто при решении задач требуется выполнить перевод чисел из одной системы счисления в другую. Следует понимать, что при таком переводе - из системы в систему - количественное значение числа не изменяется, а меняется только форма записи числа так же, как, например, при переводе названия числа с русского языка на английский.

Десятичное число переводится в двоичное путем:

- ✓ последовательного деления исходного числа на 2;
- ✓ выделения всех остатков от деления и последней цифры результата;
- ✓ записи полученного двоичного числа, начиная с последней цифры результата, записанной слева, и приписанных к ней справа остатков от деления в порядке, обратном их получению.

Переведем десятичное число 23 в двоичное:



Проверим полученный результат, используя правило «сумма цифр, умноженных на собственные веса»:

$$\begin{aligned}
 10111_{(2)} &= 1 \cdot 2^4 + 0 \cdot 2^3 + 1 \cdot 2^2 + 1 \cdot 2^1 + 1 \cdot 2^0 = \\
 &= 1 \cdot 16 + 0 \cdot 8 + 1 \cdot 4 + 1 \cdot 2 + 1 \cdot 1 = 16 + 0 + 4 + 2 + 1 = 23_{(10)}.
 \end{aligned}$$

### 2.3. Правило (принцип) 8-4-2-1

Принцип 8-4-2-1 часто используется пользователями и разработчиками цифровой техники.

**Правило.** Для перевода 4-разрядного двоичного числа в десятичное или шестнадцатеричное нужно:

- над каждой цифрой двоичного кода приписать веса - числа 8-4-2-1;
- сложить только те веса (из 8, 4, 2, 1), под которыми стоит единица.

$$\begin{array}{cccc}
 & 8 & 4 & 2 & 1 \\
 \text{Пример: } & 0 & 0 & 1 & 1 \\
 & & & & (2)
 \end{array} = 1 + 2 = 3_{(10)} = 3_{(16)}.$$

$$\begin{array}{cccc}
 & 8 & 4 & 2 & 1 \\
 & 1 & 1 & 0 & 1 \\
 & & & & (2)
 \end{array} = 8 + 4 + 1 = 13_{(10)} = D_{(16)}.$$

Определите, какому десятичному и шестнадцатеричному числу будут равны двоичные числа 0001, 1011, 1111.

**Внимание!** Правило 8-4-2-1 можно использовать и для перевода десятичных чисел от 0 до 15 в двоичные: достаточно записать 8421, а под теми цифрами, которые в сумме составят исходное десятичное число, поставить единицы. Например, число 7 составляют четверка, двойка и единица, а число 5 – четверка и единица

$$\begin{array}{ccc}
 8421 & 8421 & 8421 \\
 7_{(10)} = 0111_{(2)} & 5_{(10)} = 0101_{(2)} & 9_{(10)} = 1001_{(2)} \text{ и т.д.}
 \end{array}$$

При необходимости перевода числа большего, чем 15, в двоичный код достаточно слева от 8-4-2-1 приписать 16 и воспользоваться тем же правилом:

$$\begin{array}{ccc}
 168421 & & 168421 \\
 19_{(10)} = 10011 & & 26_{(10)} = 11010
 \end{array}$$

## 2.4. Перевод двоичных чисел в шестнадцатеричные

Многоразрядные двоичные числа – громоздки. Краткой формой их записи являются шестнадцатеричные числа.

**Перевод двоичных чисел в шестнадцатеричные выполняют путем:**

- разбиения исходного двоичного кода на тетрады справа налево;
- формирования шестнадцатеричной цифры из каждой тетрады по принципу 8-4-2-1.

Тетрада — это 4 разряда двоичного кода. Если при разбиении старшая тетрада получилась неполной, то левее к старшей цифре приписывают столько нулей, сколько требуется для получения полной тетрады.

Двоичные числа, которые переводятся приведенным способом в шестнадцатеричные числа, иногда называются **двоично-шестнадцатеричными**.

**Пример.** Перевести двоичное число  $110110001010111_{(2)}$  в шестнадцатеричное:

- разбиение на тетрады: 110 .1100 .0101. 0111
- приписывание нуля к неполной тетраде: **0110**. 1100. 0101. 0111.
- использование принципа 8-4-2-1:

$$\begin{array}{cccc}
 8 & 4 & 2 & 1 \\
 \hline
 0 & 1 & 1 & 0 \\
 \hline
 \underbrace{\hspace{1.5cm}} & \underbrace{\hspace{1.5cm}} & \underbrace{\hspace{1.5cm}} & \underbrace{\hspace{1.5cm}} \\
 6 & C & 5 & 7
 \end{array}
 \quad
 \begin{array}{cccc}
 8 & 4 & 2 & 1 \\
 \hline
 1 & 1 & 0 & 0 \\
 \hline
 \underbrace{\hspace{1.5cm}} & \underbrace{\hspace{1.5cm}} & \underbrace{\hspace{1.5cm}} & \underbrace{\hspace{1.5cm}} \\
 & & & 
 \end{array}
 \quad
 \begin{array}{cccc}
 8 & 4 & 2 & 1 \\
 \hline
 0 & 1 & 0 & 1 \\
 \hline
 \underbrace{\hspace{1.5cm}} & \underbrace{\hspace{1.5cm}} & \underbrace{\hspace{1.5cm}} & \underbrace{\hspace{1.5cm}} \\
 & & & 
 \end{array}
 \quad
 \begin{array}{cccc}
 8 & 4 & 2 & 1 \\
 \hline
 0 & 1 & 1 & 1 \\
 \hline
 \underbrace{\hspace{1.5cm}} & \underbrace{\hspace{1.5cm}} & \underbrace{\hspace{1.5cm}} & \underbrace{\hspace{1.5cm}} \\
 & & & 
 \end{array}
 = 6C57_{(16)}.$$

Получилось, что  **$0110\ 1100\ 0101\ 0111_{(2)} = 6C57_{(16)}$** .

На примере наглядно видно, насколько удобнее короткая шестнадцатеричная запись по сравнению с длинной двоичной. Хотя шестнадцатеричная запись - кратка, но записанное число отвечает всем законам систем счисления!

Оценим правильность результата выполненного перевода. Для этого переведем исходное и полученное числа – в десятичное:

дв. веса	16138	8192	4096	2048	1024	512	256	128	64	32	16	8	4	2	1
исходное:	1	1	0	1	1	0	0	0	1	0	1	0	1	1	1 <sub>(2)</sub>

$$=16138+8192+2048+1024+64+16+4+2+1=27735 \quad (2.1)$$

полученное:  $6C57_{(16)} = 6 \cdot 16^3 + \overset{\uparrow}{12_{(10)}} C \cdot 16^2 + 5 \cdot 16^1 + 7 \cdot 16^0 =$

$$=6 \cdot 4096 + C \cdot 256 + 5 \cdot 16 + 7 \cdot 1 = 24576 + 3072 + 80 + 7 = 27735_{(10)} \quad (2.2)$$

Результаты вычислений по формулам (2.1) и (2.2) совпали!

## 2.5. Двоично-десятичная форма записи десятичных чисел

Некоторые цифровые устройства работают с десятичными числами (не шестнадцатеричными), представленными в двоичном коде. Такие двоичные числа называются **двоично-десятичными**.

**Двоично-десятичная** форма записи – это запись десятичного числа, в которой каждая десятичная цифра заменяется двоичной тетрадой по принципу **8-4-2-1**.

Здесь не используется последовательное деление на 2! Здесь просто каждая десятичная цифра заменяется ее двоичным кодом.

**Пример:** запишем числа 25 и 46 в двоично-десятичной форме:

$$25_{(10)} = \begin{array}{cccc} 8 & 4 & 2 & 1 \\ \hline 0 & 0 & 1 & 0 \end{array} \quad \begin{array}{cccc} 8 & 4 & 2 & 1 \\ \hline 0 & 1 & 0 & 1 \end{array} (2-10), \quad \begin{array}{cccc} 8 & 4 & 2 & 1 \\ \hline 0 & 1 & 0 & 0 \end{array} \quad \begin{array}{cccc} 8 & 4 & 2 & 1 \\ \hline 0 & 1 & 1 & 0 \end{array} (2-10).$$

Двоично-десятичная форма записи – это просто зашифрованные двоичным кодом десятичные цифры!

Какая разница в **двух двоичных формах** записи чисел – двоично-шестнадцатеричной и двоично-десятичной?

Каждая тетрада таких двоичных чисел – это цифра, соответственно 16-я или 10-я. А цифры в этих системах имеют разные веса – основание системы счисления – 16 или 10 в степени.



Следовательно, у двух чисел – 16-го и 10-го, имеющих идентичные двоичные коды, совершенно разное десятичное значение:

$$1001\ 0111\ 0101_{(2)} = 975_{(16)} = 9 \cdot 16^2 + 7 \cdot 16^1 + 5 \cdot 16^0 = 9 \cdot 256 + 7 \cdot 16 + 5 = 2423_{(10)}$$

$$1001\ 0111\ 0101_{(2-10)} = 975_{(10)} = 9 \cdot 10^2 + 7 \cdot 10^1 + 5 \cdot 10^0 = 975_{(10)}.$$

Таблица

Десятичное число	Двоично-десятичная форма записи	Двоичный код (двоично-шестнадцатеричная форма записи)	Шестнадцатеричное число
1	0001	0001	1
2	0010	0010	2
3	0011	0011	3
4	0100	0100	4
5	0101	0101	5
6	0110	0110	6
7	0111	0111	7
8	1000	1000	8
9	1001	1001	9
<b>10</b>	<b>0001 0000</b>	1010	A
11	0001 0001	1011	B
12	0001 0010	1100	C
13	0001 0011	1101	D
14	0001 0100	1110	E
15	0001 0101	1111	F
16	0001 0110	<b>0001 0000</b>	<b>10</b>
17	0001 0111	0001 0001	11
18	0001 1000	0001 0010	12
19	0001 1001	0001 0011	13
<b>20</b>	<b>0010 0000</b>	0001 0100	14

Соответствие десятичных чисел, их двоично-десятичной записи, шестнадцатеричных чисел и двоичных наглядно показано в таблице, приведенной выше. У **двоично-десятичных** чисел количество тетрад равно разрядности **десятичного числа** (2 столбца слева), а у **двоичных** – количество тетрад равно **разрядности шестнадцатеричного числа** (2 столбца справа).

Все системы счисления используют одинаковые цифры. Чтобы избежать путаницы, рядом с числами ставится символ соответствия системе счисления, либо число в скобках (использовалось выше), либо латинские буквы:  $H(h)$  – для шестнадцатеричных,  $D(d)$  - для десятичных,  $B(b)$  – для двоичных чисел. Например:

$$10011\ 1010_{(2)} = 1001\ 0111\ 1010_{\mathbf{b}} \text{ или } 8FC5_{(16)} = 8FC5_{\mathbf{h}}.$$

## 2.6. Параллельный и последовательный коды

При совместной работе электронные устройства передают или сигналы, представленные логическими **0** и **1**, или **данные**, представленные **двоичными кодами**. Данные могут передаваться в одном из двух форматов – параллельном и последовательном.

Двоичный код, передаваемый в параллельном формате, называют **параллельным** кодом. Для передачи одного бита параллельного кода данных отводится отдельный провод. Все разряды параллельного кода передаются **одновременно** (параллельно). Очевидно, что для передачи  $n$ -разрядного параллельного кода потребуется  $n$  проводов (рис.2.1,а).

Так, для передачи 1-го байта данных в параллельном коде потребуется 8 проводов, а для передачи 2-х байт потребуется 16 проводов. Все биты кода будут переданы – за один такт.

На рис.2.1,б изображен пример передачи 8-разрядного параллельного кода между устройствами A, B, C, D.

Обычно для простоты изображения схем, группы проводов изображаются в виде жгута – жирная линия на рис.2.1,б. Проводам, входящим в жгут, присваиваются номера, которые проставляются рядом с его изображением. Под присвоенными номерами провода выходят из жгута, причем один входной провод может быть разветвлен и выведен из жгута неоднократно под одним и тем же номером. Будем считать, что устройство A (рис.2.1,б) выдает двоичный код, старший разряд которого поступает в жгут под номером 1, младший – под номером 8.

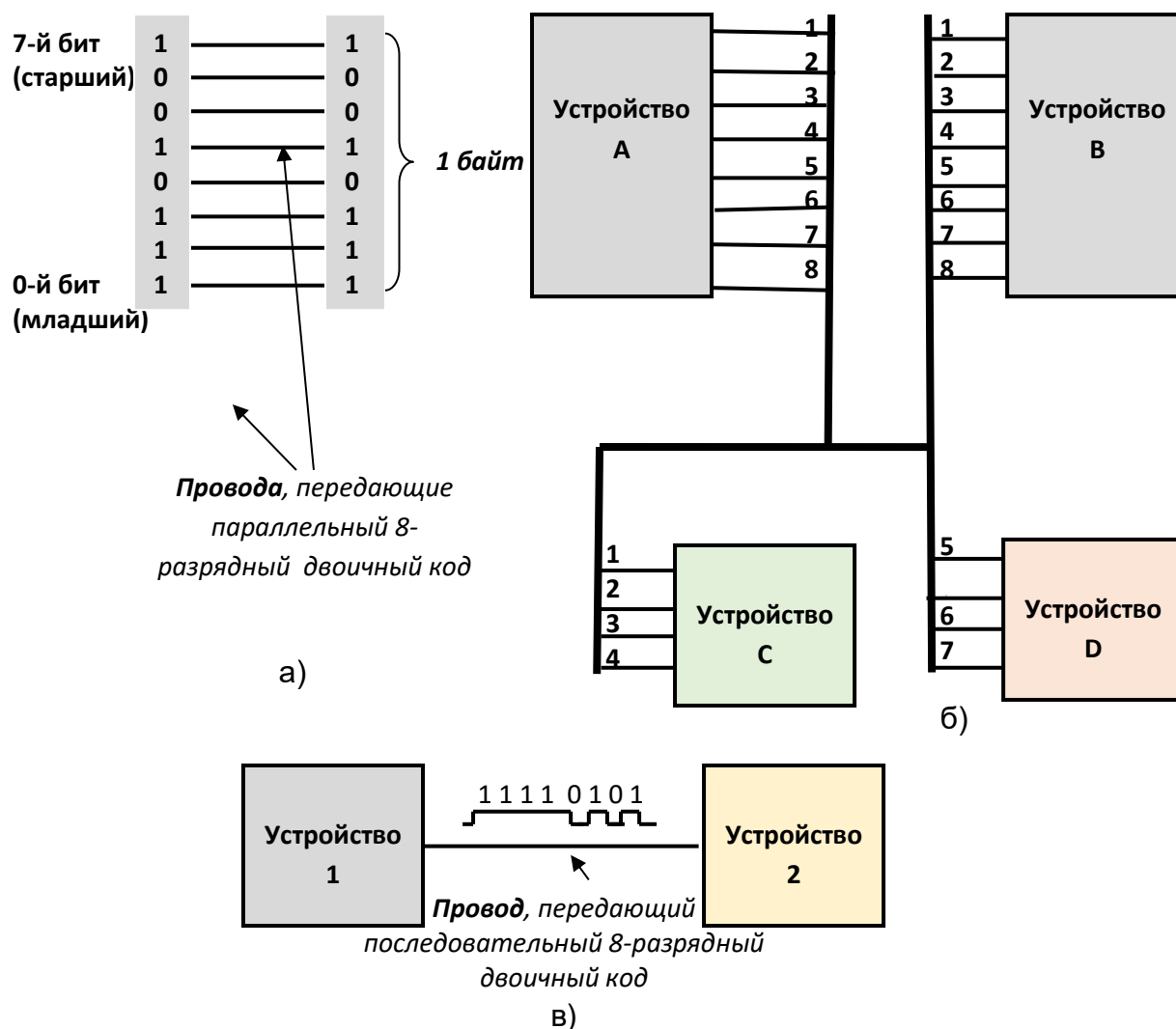


Рис. 2.1. Параллельный и последовательный коды: а - передача параллельного кода данных; б – передача параллельного кода данных между устройствами; в – проводная передача последовательного кода данных

На рис.2.1,б показано, что между устройствами А и В передаются все 8 разрядов кода (1 байт), между устройствами А и С – только 4 старших бита данных (старший полубайт), между устройствами А и D – только 4 младших бита данных (младший полубайт).

Иногда по 8 проводам могут передавать 16-разрядный код, но за два промежутка времени, в этом случае передача параллельного кода выполняется последовательно - побайтно.

Двоичный код, передаваемый в последовательном формате, называют **последовательным** кодом. Разряды последовательного кода данных передаются один за другим **последовательно** во

времени (рис. 2.1,в). Передающей средой для такой передачи данных может служить или один электрический провод, или оптоволоконный провод, или воздушная (безвоздушная) среда. Первые два способа используют физические среды в качестве носителей для передачи данных, последний – обеспечивает беспроводное взаимодействие устройств путем передачи двоичных кодов данных в виде электромагнитных волн. Количество тактов времени, необходимых для передачи последовательного кода, определяется количеством передаваемых бит.

На рис. 2.1, в показана передача последовательного кода 1111 0101 между устройствами проводным способом. В программируемых устройствах последовательный код данных «обрамляется» дополнительными битами - старт-стопными, идентифицирующими начало и конец передаваемых данных, и битами контроля на четность (нечетность) передаваемого кода.

Развитие информационных технологий привело к широкому использованию беспроводных сетей, применяющих беспроводной способ передачи последовательных кодов данных между двумя и более точками на большие расстояния.

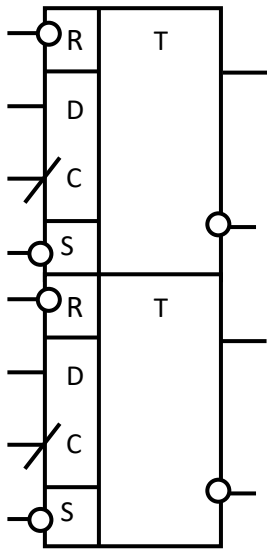
### **Заключение**

Освоение и изучение материала настоящего пособия позволит создать базу знаний для продолжения процесса познания работы цифровых устройств.

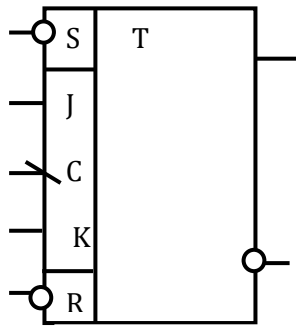
### **СПИСОК ЛИТЕРАТУРЫ**

1. Калабеков, Б.А. Цифровые устройства и микропроцессорные системы/ Б.А. Калабеков. – М.: Горячая линия – Телеком, 2005.–336с.
2. Браммер, Ю.А. Цифровые устройства: учеб. пособие для вузов / Ю.А. Браммер, И.Н. Пащук. – М.: Высш. шк., 2004.
3. Батушев, В. А. Электронные приборы: учебник для вузов / В.А. Батушев. – М.: Высш. шк., 1980.
4. Справочник по интегральным микросхемам /под ред. Б.В. Тарабрина. – М.:Энергия,1985.

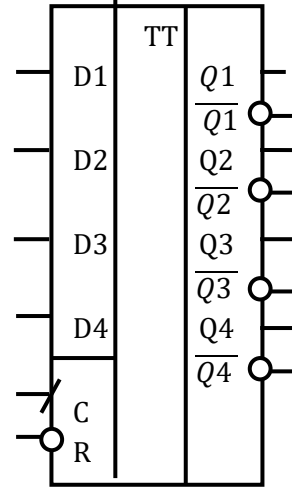
Примеры ИМС триггеров



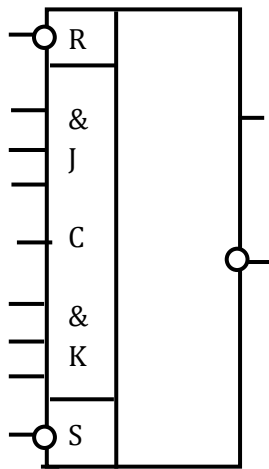
K176TM2  
K133TM2  
K155TM2  
K1533TM2



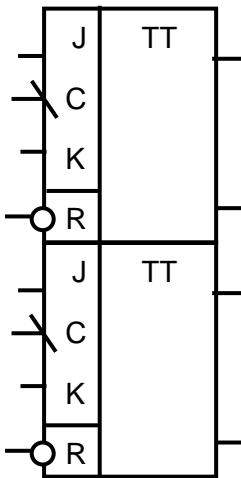
K555TM9



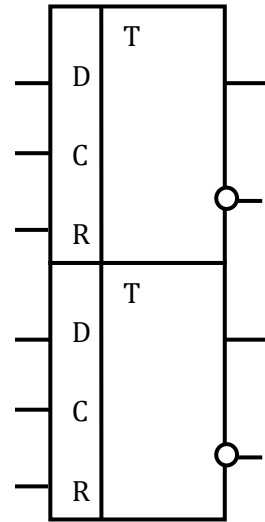
K555TM8



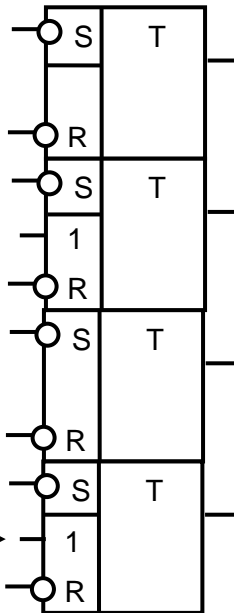
K133TB1  
K155TB1



KP1533TB10  
KP531TB10



K176TM1



K555TP2  
K1533TP2

Дополнительный  
вход ИЛИ-R

## ОГЛАВЛЕНИЕ

ВВЕДЕНИЕ.....	3
Глава 1. ТРИГГЕРЫ.....	4
1.1. Условные обозначения входов и выходов цифровых устройств.....	4
1.2. Общие сведения о триггерах.....	5
1.3. RS-триггер.....	9
1.3.1. Асинхронный RS-триггер с прямыми входами.....	10
1.3.2. Асинхронный RS-триггер с инверсными входами.....	15
1.3.3. Синхронный RS-триггер со статическим управлением.....	16
1.3.4. Синхронный RS-триггер с динамическим управлением.....	20
1.4. Синхронный D-триггер.....	21
1.5. T-триггеры.....	24
1.5.1. Асинхронный T-триггер.....	25
1.5.2. Синхронный T-триггер .....	25
1.6. Универсальный JK-триггер.....	27
1.6.1. Асинхронный JK-триггер.....	27
1.6.2. Синхронный JK-триггер.....	28
1.6.3. Примеры решения задач.....	33
Глава 2. СИСТЕМЫ СЧИСЛЕНИЯ. ....	40
2.1. Системы счисления. Перевод чисел в десятичную систему.....	40
2.2. Перевод десятичных чисел в двоичные.....	44
2.3. Правило (принцип) 8-4-2-1.....	45
2.4. Перевод двоичных чисел в шестнадцатеричные.....	46
2.5. Двоично-десятичная форма записи десятичных чисел.....	47
2.6. Параллельный и последовательный коды.....	49
ЗАКЛЮЧЕНИЕ.....	51
СПИСОК ЛИТЕРАТУРЫ.....	51
ПРИЛОЖЕНИЕ .....	52

Учебное издание

**МАНУШАКЯН** Каринэ Газаросовна

**ЛАХТИНА** Наталья Юрьевна

**ЦИФРОВЫЕ УСТРОЙСТВА: ТРИГГЕРЫ**

Учебно-методическое пособие

Редактор И.А. Короткова

Редакционно-издательский отдел МАДИ. E-mail: [rio@madi.ru](mailto:rio@madi.ru)

Подписано в печать 27.09.2021 г. Формат 60x84/16

Уч. печ. л. 3,4. Тираж 250 экз. Цена 280 руб Заказ

МАДИ, Москва, 125319, Ленинградский пр-т, 64.