



МОСКОВСКИЙ АВТОМОБИЛЬНО-ДОРОЖНЫЙ
ГОСУДАРСТВЕННЫЙ ТЕХНИЧЕСКИЙ
УНИВЕРСИТЕТ (МАДИ)

К.Г. МАНУШАКЯН, Н.Ю.ЛАХТИНА

ЦИФРОВЫЕ УСТРОЙСТВА: ЛОГИЧЕСКИЕ ЭЛЕМЕНТЫ

Цена 350 руб.

МОСКОВСКИЙ АВТОМОБИЛЬНО-ДОРОЖНЫЙ
ГОСУДАРСТВЕННЫЙ ТЕХНИЧЕСКИЙ УНИВЕРСИТЕТ
(МАДИ)

Кафедра «Транспортная телематика»

Утверждаю
Зав. кафедрой профессор
_____ В. М. Власов
« ____ » _____ 2021 г.

К.Г. МАНУШАКЯН, Н.Ю.ЛАХТИНА

ЦИФРОВЫЕ УСТРОЙСТВА:
ЛОГИЧЕСКИЕ ЭЛЕМЕНТЫ
УЧЕБНО-МЕТОДИЧЕСКОЕ ПОСОБИЕ

МОСКВА
МАДИ
2021

ДК 621.38
ББК 32.85
М242

Манушакян К.Г

М242 Цифровые устройства: логические элементы: учебно-методическое пособие / К.Г. Манушакян, Н.Ю. Лахтина. – М.: МАДИ, 2021. – 68 с.

Настоящее учебно-методическое пособие «Цифровые устройства: логические элементы» предназначено для изучения устройств цифровой техники и построения схем на них. Оно состоит из четырех отдельных изданий, собранных под одним названием.

В пособии подробно рассмотрены работа логических элементов и принципы действия триггеров, дано построение схем на них. Для улучшения усвоения материала в пособии предусмотрен раздел, посвященный современным технологиям производства интегральных микросхем и системам счисления. Отдельное внимание уделяется интегральным микросхемам, составу серий микросхем, характеристикам их работы, вопросам совместимости.

Учебное-методическое пособие предназначено для студентов, обучающихся по специальностям «Автомобильная техника в транспортных технологиях», «Автомобильный сервис», «Организация и безопасность движения», «Организация перевозок и управление на автомобильном транспорте», «Двигатели внутреннего сгорания», а также «Электрооборудование автомобилей и электромобили», «Военные гусеничные и колесные машины», «Наземные транспортные комплексы ракетной техники», «Наземно-транспортные средства и комплексы аэродромно-технического обеспечения полетов авиации», «Подъемно-транспортные, строительные, дорожные средства и оборудование».

УДК 621.38
ББК 32.85

Учебное издание

МАНУШАКЯН Каринэ Газаросовна
ЛАХТИНА Наталья Юрьевна

ЦИФРОВЫЕ УСТРОЙСТВА: ЛОГИЧЕСКИЕ ЭЛЕМЕНТЫ

Учебно-методическое пособие

Редактор И.А. Короткова

Редакционно-издательский отдел МАДИ. E-mail: rio@madi.ru

Подписано в печать 27.09.2021 г. Формат 60x84/16

Уч. печ. л. 4,25. Тираж 250 экз. Цена 350 руб Заказ

МАДИ, Москва, 125319, Ленинградский пр-т, 64.

© МАДИ, 2021

Введение

Развитие электроники в конце 20 начале 21 веков привело к широкому и без преувеличения повсеместному использованию электронной техники. Сегодняшняя жизнь не мыслима без средств цифровой техники, окружающих нас повсюду. Уже трудно представить современный мир без многообразных средств связи, соединяющих практически любые точки Земли, без электронных начинок транспортных средств, решающих огромное количество задач – от управления ходовой частью автомобиля до повышения комфортности вождения, без навигаторов и электронных платежей, без multifunctionальной бытовой техники и без современных гаджетов, ставших повседневным атрибутом. Но мало кто задумывается о том, что находится внутри всех этих современных «чудо-устройств» и как они работают.

Настоящее учебно-методическое пособие позволит получить основы знаний в области цифровой техники, изучить не только электронные устройства в отдельности, но и их совокупную работу, понимать идеологию построения схем и особенности их функционирования.

Познание такой области электроники, как цифровая техника, поможет не только повысить технический кругозор человека, изучающего данный предмет, но и дать возможность увидеть электронику, окружающую нас повсеместно, по-новому, зародить интерес к дальнейшему расширению знаний, а возможно, – будем надеяться - вызвать импульс к новым решениям в будущем, когда электронные устройства будут играть еще более значимую роль.

Успешного познания!

Коллектив авторов

Глава 1. ЛОГИЧЕСКИЕ ЭЛЕМЕНТЫ

Логические элементы (ЛЭ) – это электронные устройства (схемы), выполняющие **функции алгебры логики**. Аргументы и функции алгебры логики, обозначаемые нулями и единицами, для логических элементов – это **входные и выходные** напряжения, называемые **логическими нулями** и **логическими единицами**.

Рассмотрим работу шести ЛЭ: элемента логического сложения (**ИЛИ**), логического умножения (**И**), инверсии (**НЕ**), логического сложения с инверсией (**ИЛИ-НЕ**), логического умножения с инверсией (**И-НЕ**), а также элемента «сумма по модулю 2» (**проводящее ИЛИ**).

Логические элементы могут иметь два и более входов. При описании работы в текстах логические элементы обозначаются функцией, которую они выполняют, а перед ней указывается количество входов. Например, **2ИЛИ**, **3И**, **2ИЛИ-НЕ**, **4И-НЕ**, **8И-НЕ**.

1.1. Логическое сложение

Операция «**логическое сложение**» имеет еще два названия: операция **ИЛИ** и дизъюнкция. Логический элемент, выполняющий эту операцию, называют **элементом ИЛИ**.

Напомним правила логического сложения:

$$0+0 = 0$$

$$0+1 = 1$$

$$1+0 = 1$$

$$1+1 = 1.$$

Нетрудно заметить, что если **в сложении участвует хотя бы одна единица**, – **результат равен 1**. Отсюда следуют формулы логического сложения в общем виде:

$$a+0 = a$$

$$a+1 = 1$$

$$a+a = a$$

$$a+\bar{a} = 1.$$

Поясним последнее выражение: если в сложении используется число и его противоположность, то результат равен 1, так как одно из слагаемых будет обязательно равно 1.

Логический элемент **ИЛИ** — это электронное устройство, реализующее операцию логического сложения над сигналами, пришедшими на его вход. Результат появляется на выходе элемента в виде соответствующего логического уровня напряжения.

На рис. 1.1 представлены разновидности логических элементов **ИЛИ** – двух-, трех- и четырехходовой (**2ИЛИ**, **3ИЛИ**, **4ИЛИ**) – и формулы, которые они реализуют.

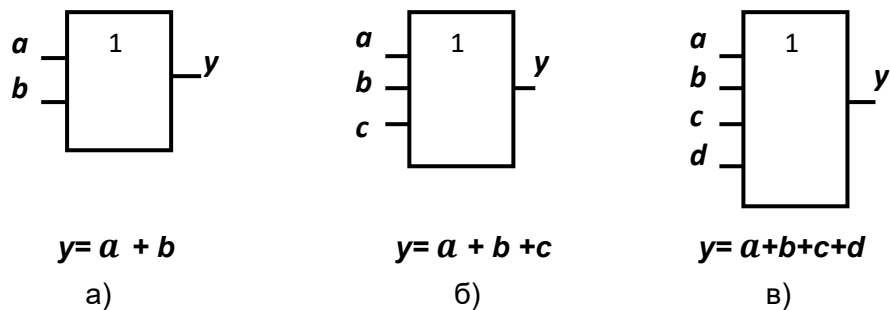


Рис.1.1. Логические элементы **ИЛИ**: а - **2ИЛИ**; б - **3ИЛИ**; в - **4ИЛИ**

Работа логического элемента может задаваться как формулой, так и **таблицей истинности**, где приводятся все возможные сочетания (наборы) входных сигналов и соответствующие им значения выходного сигнала **y**. Рассмотрим работу **двухходового** логического элемента – **2ИЛИ**. Условное обозначение, формула, таблица истинности и размеры изображения двухходового логического элемента на схемах по стандарту представлены на рис.1.2. Размеры 10x15мм имеют все двухходовые логические элементы независимо от исполняемой функции.

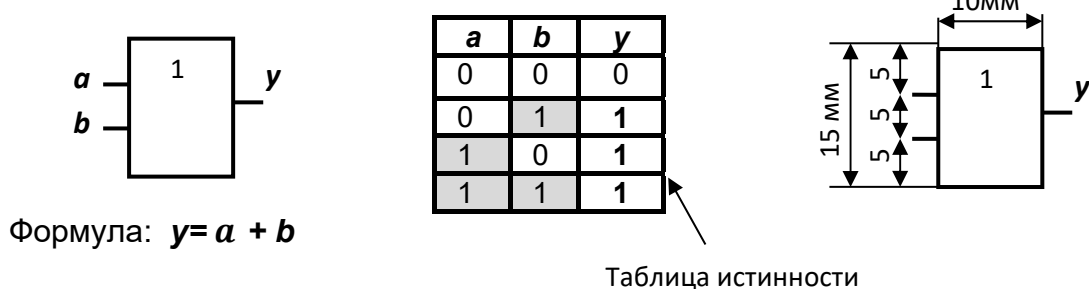


Рис.1.2. Логический элемент **ИЛИ**, его таблица истинности и размеры двухходового ЛЭ на схемах

Построим временную диаграмму напряжений $y(t)$ работы ЛЭ при разных значениях входных сигналов a и b (рис.1.3)

Временная диаграмма, изображенная на рис.1.3а, составлена в том порядке, как заданы входные комбинации в таблице истинности. По рисунку видно, что **если хотя бы на одном из входов 1, то на выходе – 1**. Однако таблица описывает лишь закон работы элемента, а входные сигналы могут приходить на входы в совершенно произвольной последовательности и иметь разные длительности.

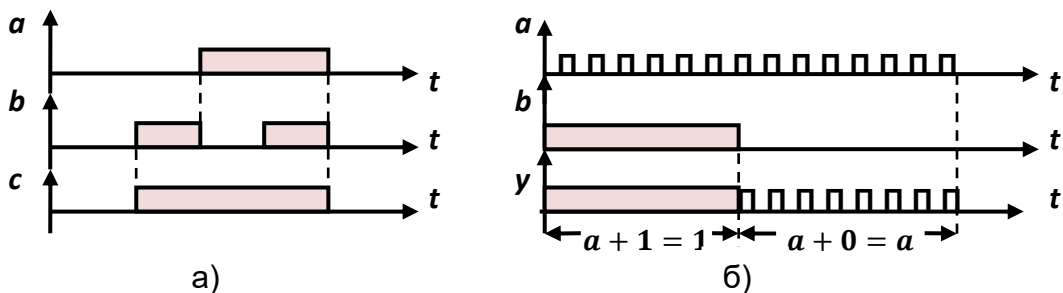


Рис.1.3. Временные диаграммы работы логического элемента **ИЛИ**: а - сигналы на входы приходят в том порядке, как записаны в таблице истинности; б - сигналы со входа a проходят на выход y при $b=0$

По графику на рис.1.3б видно, что логическая **1** на входе b БЛОКИРУЕТ прохождение импульсов со входа a - на выход y . В свою очередь логический **0** на входе b , наоборот, ПРОПУСКАЕТ импульсы со входа a на выход y . Почему так происходит?

Логический элемент **ИЛИ** реализует формулу $y=a+b$ (рис.1.4а). По правилам алгебры логики $a + 0 = a$, $a + 1=1$. Поэтому в формуле $y= a +b$ путем простой подстановки значения b получим:

$$\text{при } b=1 \quad y= a + b = a +1=1 \quad y \text{ не зависит от } a;$$

$$\text{при } b=0 \quad y= a + b = a +0 = a \quad y \text{ зависит только от } a.$$

Иногда логическую функцию двух аргументов можно реализовать на логических элементах с большим количеством входов. Для этого на свободные (лишние) входы принудительно подают такие логические уровни напряжений, которые не изменяют итоговой логической функции (рис.1.4, а;б;в;г;д).

Добавление входов изменяет размер изображения логического элемента на схемах: расстояние между входами равно 5мм, расстояние от края корпуса до входов сверху и снизу – 5мм, выход логического элемента – изображается по центру (рис.1.4,е).

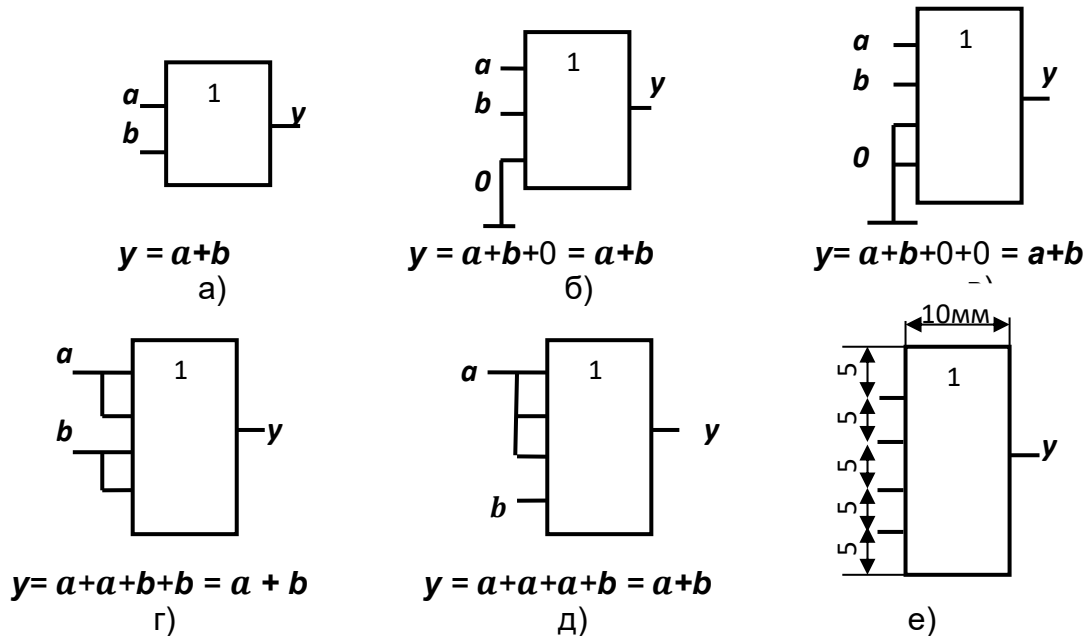


Рис.1.4. Реализация логического сложения двух логических напряжений на элементах **2ИЛИ**, **3ИЛИ** и **4ИЛИ**

Например, чтобы реализовать логическое сложение двух напряжений a и b на многовходовом логическом элементе ИЛИ, на свободные входы достаточно принудительно подать логический 0^1 (рис.1.4,б;в).

Это понятно из формулы $y = a + b + 0 + 0 + \dots + 0 = a + b$. Сколько нулей не прибавляй - итог не изменится!

На незадействованные входы можно не только принудительно подавать логический 0 , но и объединять с одним из задействованных входов так, как показано на рис.1.4г,д. Логика работы от этого не изменится. Докажем правильность работы логических элементов при объединении свободных входов:

$$\text{для рис.1.4,в} \quad y = \underline{a} + \underline{a} + \underline{b} + \underline{b} = a + b;$$

$$\text{для рис.1.4,г} \quad y = \underline{a} + \underline{a} + \underline{a} + b = a + b.$$

В обоих случаях $y = a + b$.

¹ Здесь и далее будем считать подачей логического нуля соединение соответствующего входа с «общим» проводом (рис.1.4,б;в).

ЛОГИЧЕСКОЕ СЛОЖЕНИЕ

Правило алгебры логики:

если в сложении участвует хотя бы одна **1**, то результат равен **1**.

Работа логического элемента ИЛИ:

если хотя бы **на одном из входов** логическая **1**, то **на выходе** - логическая **1**

Работа логического элемента ИЛИ:

- **логическая 1** на одном входе – БЛОКИРУЕТ прохождение сигналов со второго входа на выход, обеспечивая на выходе **y=1**
- **логический 0** на одном из входов ПРОПУСКАЕТ сигналы со второго входа на выход

1.2. Логическое умножение

Операция «логическое умножение» имеет еще два названия: операция И, конъюнкция. Напомним правила логического умножения.

$$0 \cdot 0 = 0$$

$$0 \cdot 1 = 0$$

$$1 \cdot 0 = 0$$

$$1 \cdot 1 = 1.$$

Нетрудно заметить, что, **если в умножении участвует хотя бы один ноль – результат равен 0**. Отсюда следуют формулы логического умножения в общем виде:

$$a \cdot 0 = 0$$

$$a \cdot 1 = a$$

$$a \cdot a = a$$

$$a \cdot \bar{a} = 0.$$

Поясним последнее выражение: **если в умножении используется число и его противоположность, то результат будет равен 0**, т.к. одним из множителей обязательно будет **0**.

Правила **логического** умножения очень похожи на правила **арифметического** умножения, за исключением правила 0×0 – в арифметике результат не определен.

Логический элемент, выполняющий функцию логического умножения, называют элементом **И**.

Количество входов логических элементов **И** может быть различным – от 2 до 8.

На рис.1.5 представлены разновидности логических элементов **И** – двух-, трех- и четырехвходовой (**2И,3И,4И**) - и формулы, которые они реализуют.

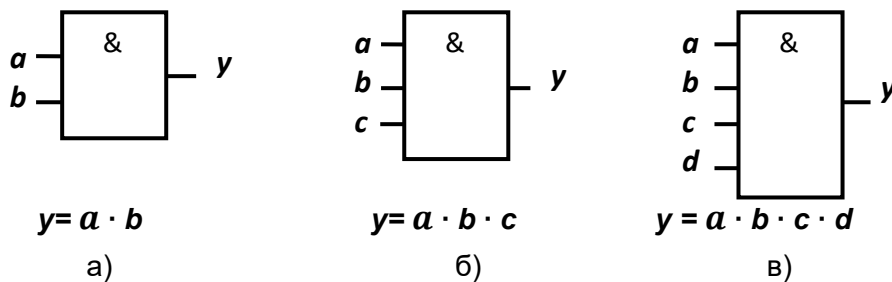


Рис.1.5. Логические элементы **И**: а - **2И**; б - **3И**; в - **4И**

Рассмотрим работу двухвходового элемента **И**. Условное обозначение, формула и таблица истинности представлены на рис.1.6.



Рис.1.6. Логический элемент **И** и его таблица истинности

Построим временную диаграмму напряжений $y(t)$ работы ЛЭ при разных значениях входных сигналов a и b (рис.1.7).

Временная диаграмма на рис.1.7,а составлена в том порядке, как заданы входные комбинации в таблице истинности. Для такого построения нужно рассматривать каждую комбинацию входных сигналов в отдельности.

Но лучше строить временную диаграмму другим путем: помнить, что любое умножение на **0** дает в результате **0**, а если один из сомножителей равен **1**, то результат равен другому

Для того чтобы реализовать логическое умножение трех напряжений x_1 , x_2 и x_3 на многовходовом логическом элементе **8И** (рис.1.8,б), достаточно принудительно подать логическую 1 на его свободные входы². Это понятно из формулы

$$y = x_1 \cdot x_2 \cdot x_3 \cdot 1 \cdot 1 \cdot 1 \cdot 1 = x_1 \cdot x_2 \cdot x_3.$$

Сколько на единицу не умножай - итог не изменится!

Незадействованные входы можно объединять с одним из используемых входов (рис.1.8, в;г), что также не повлияет на результат операции **И**.

Задача 1. Построить временную диаграмму напряжения $y(t)$ на выходе элемента **4И** (рис.1.9,а), если напряжения на входах представлены графиками $a(t)$, $b(t)$, $c(t)$, $d(t)$ на рис.1.9,б.

Решение задачи можно производить путем простого разбиения графиков вертикальной линией на мелкие участки и определять значение «у» простой подстановкой значений a, b, c, d на каждом участке.

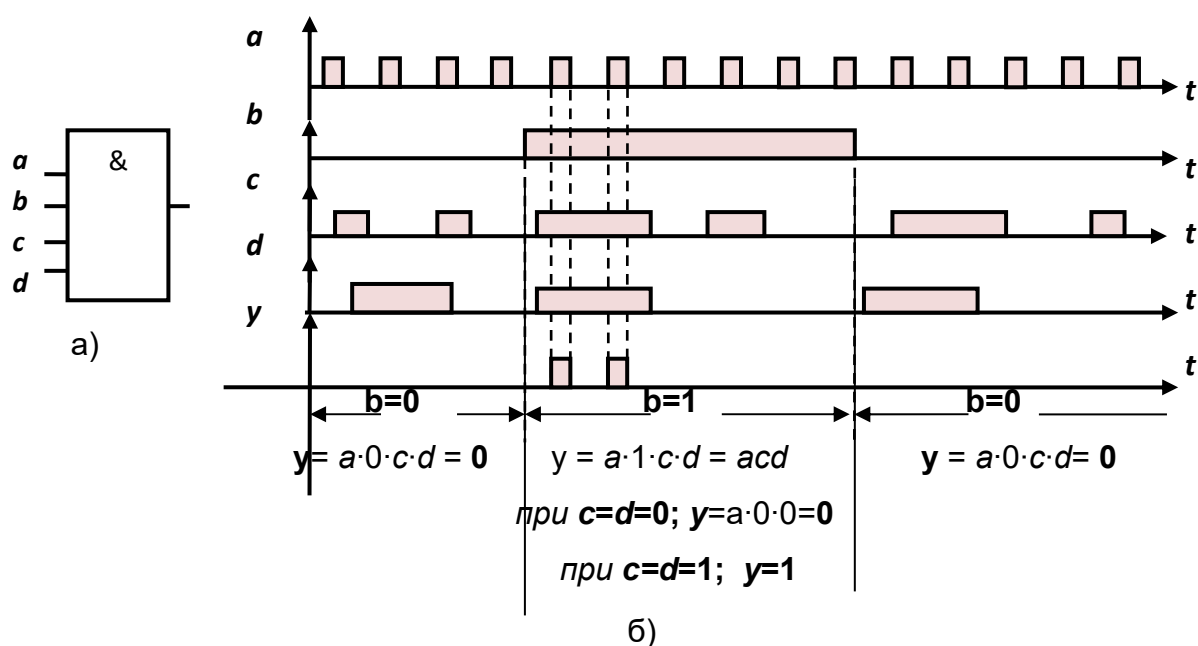


Рис.1.9. Работа логического элемента **4И**: а - условное обозначение; б - временная диаграмма работы ЛЭ при заданных изменениях напряжений на входах $a(t)$, $b(t)$, $c(t)$, $d(t)$

² Здесь и далее в пособии, будем считать подачей логической единицы – соединение соответствующего входа с источником питания +5В (рис.1.8в).

Но легче решить задачу, вспомнив правило: напряжение на выходе элемента **И** равно логической **1**, если на всех входах – логическая **1**. Таких ситуаций всего две – показано пунктиром на временной диаграмме (рис.1.9,б).

В общем случае, при построении сложных временных диаграмм выделяют условно крупные участки графика одного из напряжений (в нашем примере на рис.1.9 обозначено $b=0$, $b=1$). Затем записывают формулу для y , подставив в нее значения аргументов на выделенных участках (показано на рис.1.9 под графиком), и строят график $y(t)$ по полученному выражению.

ЛОГИЧЕСКОЕ УМНОЖЕНИЕ

Правило алгебры логики:

если в умножении участвует хотя бы один **0**, то результат равен **0**.

Работа логического элемента И:

если хотя бы на одни из входов поступает логический **0**, то на выходе – логический **0**

Работа логического элемента 2И:

- **логический 0** на одном входе – БЛОКИРУЕТ прохождение сигналов со второго входа на выход, обеспечивая на выходе $y=0$;
- **логическая 1** на одном из входов ПРОПУСКАЕТ сигналы со второго входа на выход.

1.3. Инверсия

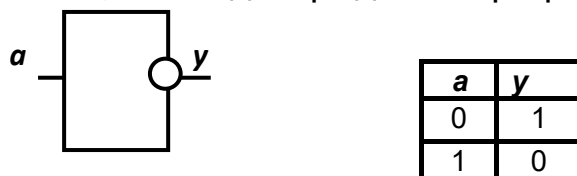
Операция «инверсия» состоит в том, что инверсия **0** равна **1**, а инверсия **1** равна **0**, то есть:

$$\bar{0}=1$$

$$\bar{1}=0.$$

Другие названия ЛЭ «инверсия» – элемент **НЕ**, инвертор. Этот логический элемент просто меняет входной сигнал на его противоположность (рис.1.10). И все!

Из формулы $y = \bar{a}$ видно, что значение y - противоположно значению a , это подтверждает и график.



Формула: $y = \bar{a}$

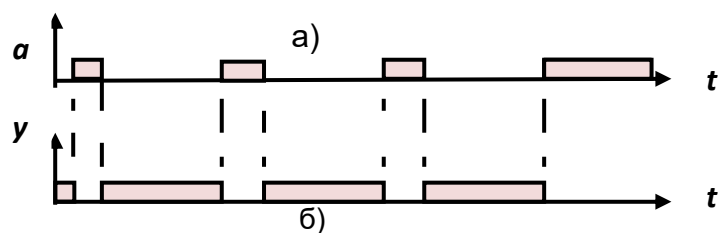
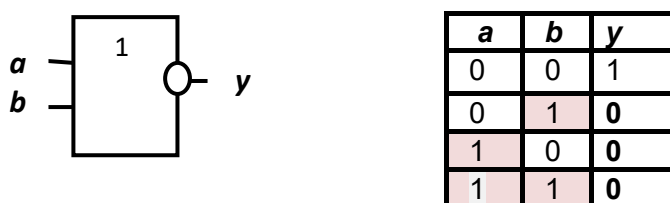


Рис. 1.10. Логический элемент **НЕ**: а – условное обозначение и таблица истинности; б – временная диаграмма

1.4. Логическое сложение с инверсией

Операция логического сложения с инверсией **ИЛИ-НЕ** выполняется по правилам логического сложения, однако результат записывается в проинвертированном виде. Логический элемент **ИЛИ-НЕ** выполняет операцию **ИЛИ**, но с точностью до наоборот. Условное обозначение, формула, а также таблица истинности представлены на рис.1.11.



Формула: $y = \overline{a + b}$

Рис.1.11. Логический элемент **ИЛИ-НЕ** и его таблица истинности

Из временных диаграмм (рис.1.12,а) видно, что если хотя бы на одном из входов – логическая 1, то напряжение на выходе равно 0. Это логично, ведь сложение с 1 всегда дает 1, но функция выполняется – с инверсией, поэтому на выходе y – логический 0. Если же складываются сигналы, один из которых равен 0, то на выход проходит проинвертированный второй сигнал (рис.1.12,б).

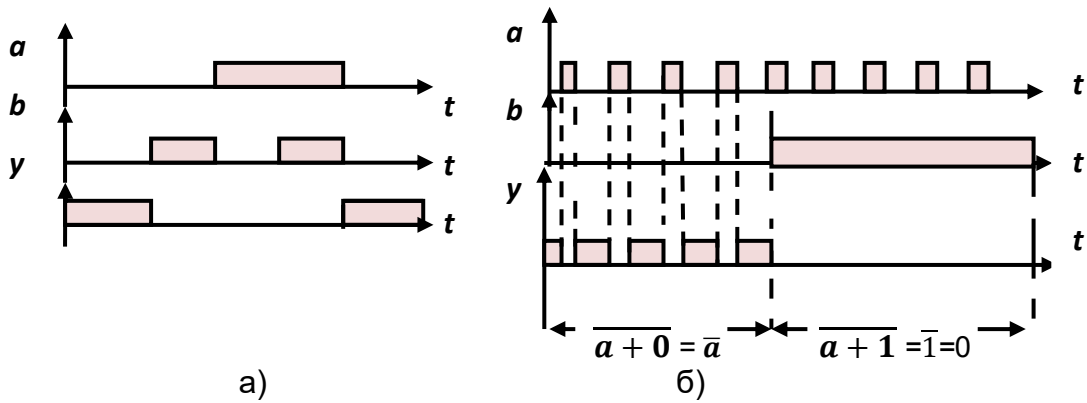


Рис.1.12. Временные диаграммы работы элемента **2ИЛИ-НЕ**: а - сигналы на входы приходят в том порядке, как записаны в таблице истинности; б - при $b=0$ сигналы со входа a проходят **в инверсном виде** на выход y

Временную диаграмму (рис.1.12,б) можно пояснить с помощью формул:

при $b=0$ $y = \overline{a + 0} = \bar{a}$ - на выход y проходят сигналы со входа a с инверсией;

при $b=1$ $y = \overline{a + 1} = \bar{1} = 0$ - на выходе логический 0. Получается, что **логическая 1** на одном из входов **БЛОКИРУЕТ** прохождение сигналов с **другого входа на выход**.

Задача 2. Построить временную диаграмму напряжений на выходе элемента **4ИЛИ-НЕ**, если входные напряжения $a(t)$ $b(t)$ $c(t)$ $d(t)$ заданы графиками (рис.1.13).

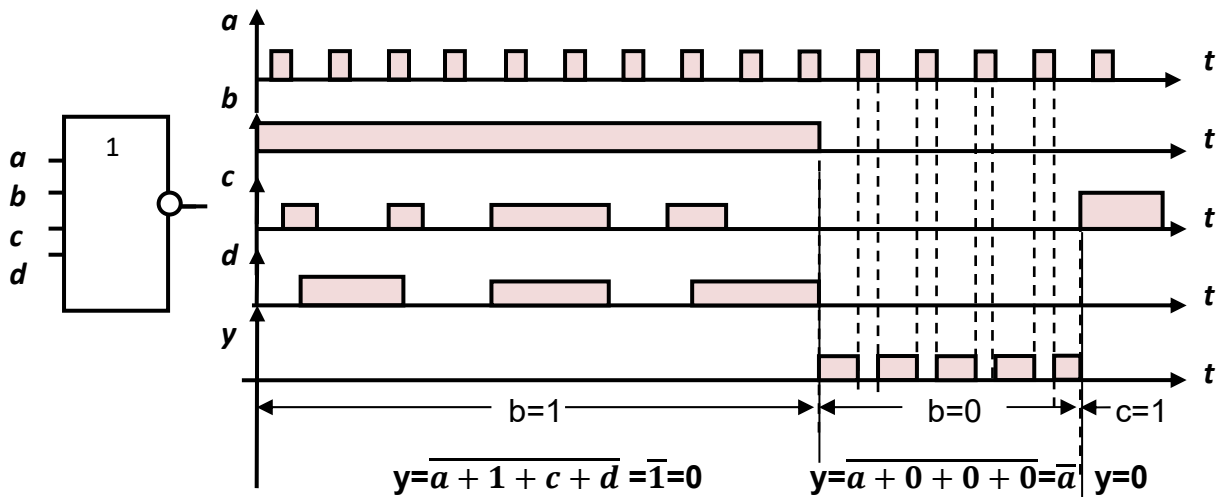


Рис.1.13. Условное обозначение элемента **4ИЛИ-НЕ** и временная диаграмма его работы при заданных значениях $a(t)$, $b(t)$, $c(t)$, $d(t)$

Решение. Выделим на графике (рис.1.13) участки, на которых $b=1$, $b=0$ и $c=1$. Затем подставим эти значения в формулу работы элемента **4ИЛИ-НЕ**, а потом получим значения для y для каждого выделенного участка. Сигналы b и c равные 1 блокируют прохождение остальных сигналов, поэтому на выходе – 0 .

СЛОЖЕНИЕ С ИНВЕРСИЕЙ

Правило алгебры логики:

если в логическом сложении с инверсией участвует хотя бы одна 1 , то результат равен 0 .

Работа логического элемента ИЛИ-НЕ:

если хотя бы на один из входов поступает логическая 1 , то на выходе – логический 0 .

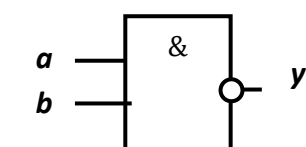
Работа логического элемента 2ИЛИ-НЕ:

- логическая 1 на одном входе – БЛОКИРУЕТ прохождение сигналов со второго входа на выход, обеспечивая на выходе $y=0$;
- логический 0 на одном из входов ПРОПУСКАЕТ проинвертированные сигналы со второго входа на выход.

1.5. Логическое умножение с инверсией

Операция логического умножения с инверсией **И-НЕ** выполняется по правилам логического умножения, однако результат записывается в проинвертированном виде. Работа ЛЭ **И-НЕ** представляет собой работу элемента И с точностью до наоборот.

Условное обозначение, формула, таблица истинности и временные диаграммы элемента **И-НЕ** представлены на рис.1.14 и 1.15.



Формула $y = \overline{a \cdot b}$

a	b	y
0	0	1
0	1	1
1	0	1
1	1	0

Рис. 1.14. Логический элемент **И-НЕ** и его таблица истинности

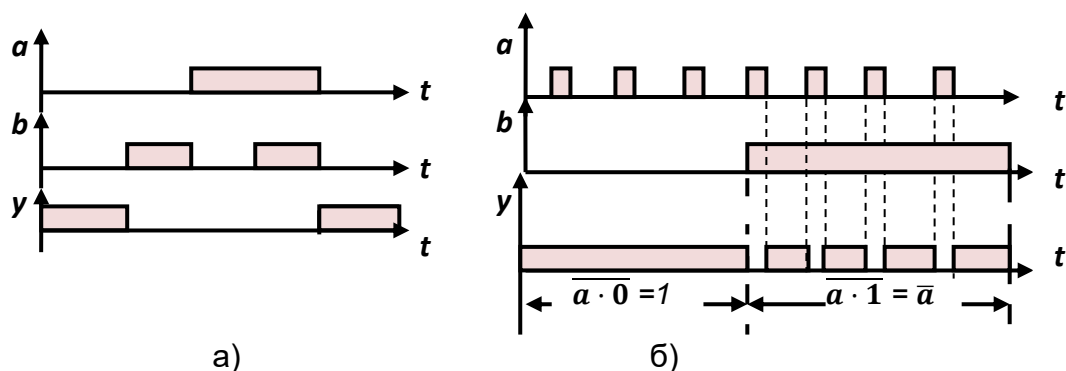


Рис. 1.15. Временные диаграммы работы элемента **2И-НЕ**: а - сигналы на входы приходят в том порядке, как записаны в таблице истинности; б - при $b=1$ сигналы со входа a проходят **в инверсном виде** на выход y

Временная диаграмма на рис. 1.15,б наглядно показывает, что импульсы, поступающие на вход a , проходят на выход y в инверсном виде только при $b=1$. Если же на b - логический 0 , то он **БЛОКИРУЕТ** прохождение импульсов со входа a на выход, при этом на выходе поддерживается логическая 1 ($y=1$).

УМНОЖЕНИЕ С ИНВЕРСИЕЙ

Правило алгебры логики:

если в умножении с инверсией участвует хотя бы один 0 , то результат равен 1 .

Работа логического элемента И-НЕ:

если хотя бы на одни из входов поступает логический 0 , то на выходе – логическая 1

Работа логического элемента 2И-НЕ:

- **логический 0** на одном входе – **БЛОКИРУЕТ** прохождение сигналов со второго входа на выход, обеспечивая на выходе $y=1$;
- **логическая 1** на одном из входов **ПРОПУСКАЕТ** проинвертированные сигналы со второго входа на выход.

1.6. Сумма по модулю 2 (исключающее ИЛИ)

Операция сложения по модулю 2 выполняется в соответствии с правилом: **если в сложении участвует нечетное число единиц, то результат операции равен 1, в противном случае - равен 0.**

Сложение по модулю 2 обозначается символом \oplus . Логический элемент, выполняющий операцию сумма по модулю 2, иногда называют элементом **ИСКЛЮЧАЮЩЕЕ ИЛИ**.

Условные обозначения, таблица истинности и временная диаграмма работы двухвходового ЛЭ «сумма по модулю 2» представлены на рис. 1.16.

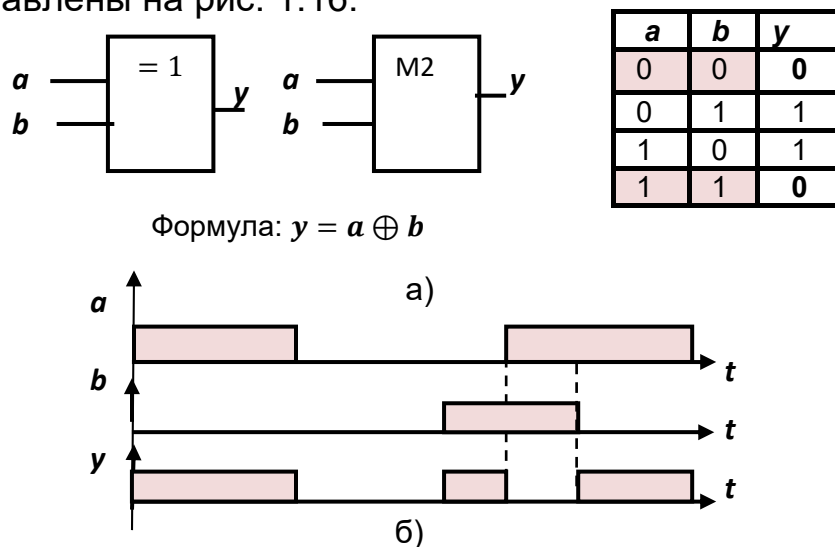


Рис. 1.16. Логический элемент сумма по модулю 2: а – условные обозначения и таблица истинности; б - временная диаграмма работы

На рис.1.16 представлены два условных обозначения ЛЭ сумма по модулю 2. Оба обозначения можно встретить в справочниках микросхем. Двухвходовой ЛЭ работает по принципу: если на вход пришло два одинаковых логических уровня напряжения (два нуля или две единицы), то функция равна **0**, в противном случае функция равна **1**.

Работу двухвходового элемента сумма по модулю 2 можно интерпретировать и по-другому. Если принять один вход как управляющий, то логика работы элемента может быть сформулирована так:

– если на управляющем входе - логический **0**, то на выход проходит сигнал со второго входа;

– если на управляющем входе **1**, то состояние выхода равно инверсии состояния второго входа:

$$\text{при } a=0, \quad y=b;$$

$$\text{при } a=1, \quad y=\bar{b}$$

СУММА ПО МОДУЛЮ 2

Правило алгебры логики:

если в сложении по модулю 2 участвует **четное** число нулей или единиц, то результат **равен 0**.

Работа логического элемента «Сумма по модулю 2»:

если на входы поступает четное число логических 1 или логических 0, то на выходе – логический 0.

Работа 2-входового ЛЭ «Сумма по модулю 2»:

логический 0 на одном из входов обеспечивает прохождение сигналов со второго входа на выход; **логическая 1** – прохождение сигналов со второго входа в инверсном виде на

Для закрепления материала запишите формулы, реализуемые логическими элементами, представленными на рис.1.17.

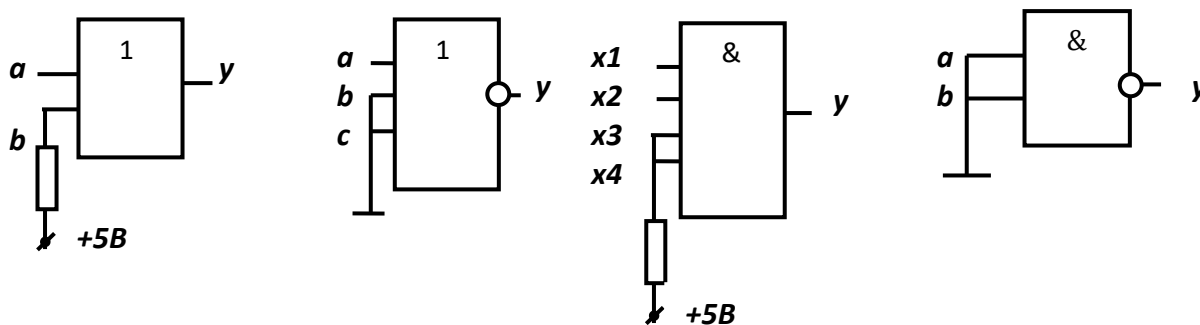


Рис.1.17. Примеры включения логических элементов

1.7. Построение схем на ЛЭ по формулам

Построим схему на логических элементах по заданной формуле $y=ab+c$ (рис. 1.18).

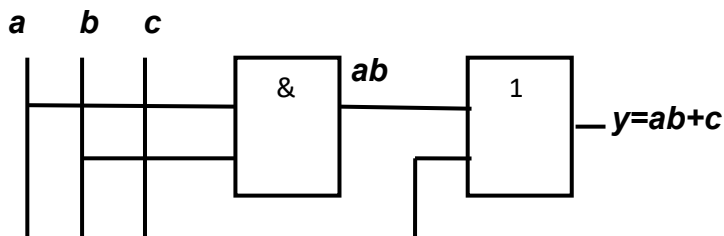


Рис. 1.18. Построение схемы на логических элементах по формуле $y=ab+c$

Входные сигналы a, b, c – это сигналы, поступающие по проводам от некоторых источников, таких как, например, цифровые схемы, бинарные датчики и т.п.

Построим схему, реализующую функцию y , заданную формулой $y = \overline{a\bar{b}\bar{c}} + (\overline{a\bar{c}} + b)$.

Построение схемы ведется последовательно.

а) так как в формулу входят аргументы как в прямом виде a, b, c , так и в инверсном \bar{a} и \bar{b} , то получим сначала инверсии входных сигналов \bar{a} и \bar{b} (рис.1.19);

б) выполним произведение с инверсией $\overline{a\bar{b}\bar{c}}$ логическим элементом **ЗИ-НЕ**;

в) реализуем $\overline{a\bar{c}}$ логическим элементом **2И-НЕ**.

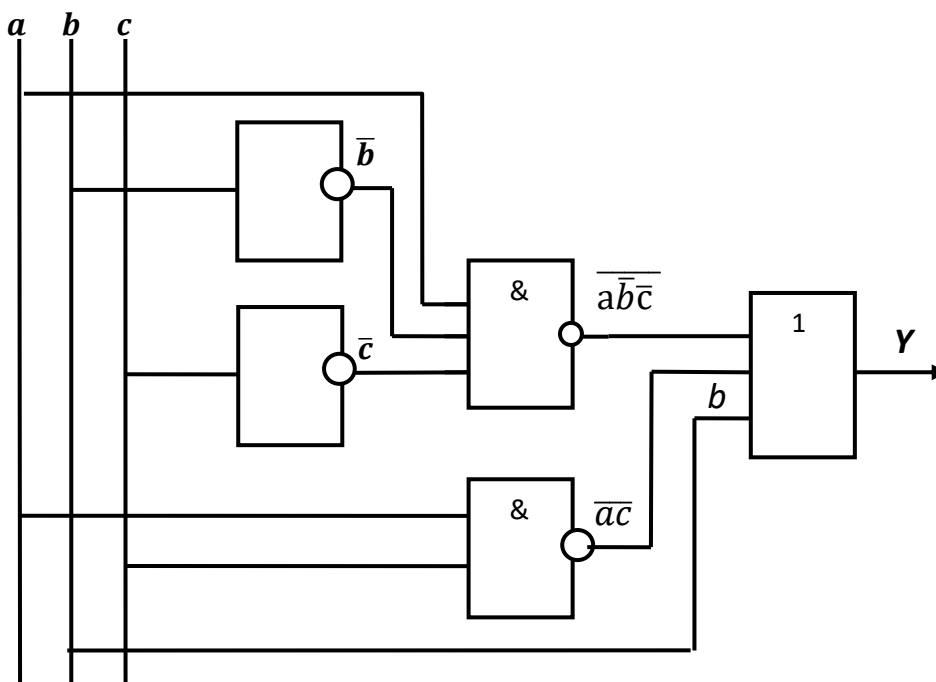


Рис.1.19. Реализация функции $y = \overline{a\bar{b}\bar{c}} + (\overline{a\bar{c}} + b)$.

Далее возможны два варианта реализации:

1. Получить выражение в скобках $(\overline{a\bar{c}} + b)$ логическим элементом **ИЛИ**, а после этого сложить два слагаемых: $\overline{a\bar{b}\bar{c}}$ и $(\overline{a\bar{c}} + b)$ еще одним элементом **ИЛИ**;

2. Сложить все три слагаемых сразу логическим элементом **ЗИЛИ**, ведь скобки, использованные в записи выражения y , не меняют результата сложения.

На рис.1.19 использован второй вариант с использованием ЛЭ **ЗИЛИ**.

Постройте самостоятельно схему, реализующую функцию

$$y = a (\overline{bc} + d).$$

Иногда требуется уметь строить схему при ограниченном варианте выбора логических элементов. Например, как в задаче, приведенной ниже.

Задача 3. Построить схему, реализующую функцию

$$y = (a + \bar{b} + c + d) \overline{ab} + cd^3$$

только на 3-входных ЛЭ (выражение упростить не надо).

Решение.

В схеме должны быть реализованы:

- ✓ инверсия одного аргумента \bar{b} ,
- ✓ сумма 4-х слагаемых $a + \bar{b} + c + d$;
- ✓ инверсия произведения двух аргументов \overline{ab} ;
- ✓ произведение двух логических сомножителей $(a + \bar{b} + c + d) \overline{ab}$;
- ✓ произведение cd ;
- ✓ и сумма двух слагаемых $(a + \bar{b} + c + d) \overline{ab} + cd$
– и все это на 3-входных ЛЭ!

Вариантов непосредственного использования 3-входных ЛЭ может быть два: либо входов не хватает, либо входов больше, чем нужно.

Если входов не хватает – придется использовать несколько ЛЭ. Например, сложение четырех слагаемых $X1 + X2 + X3 + X4$ можно выполнить так: $(X1 + X2 + X3) + X4$ или $(X1 + X2) + X3 + X4$ и т.п.

³ Выражение для y обычно упрощают перед построением, однако в данном разделе пособия отрабатываются навыки построения схем, поэтому выражение не упрощаем.

Если же входов больше, то надо на неиспользованные входы подать такие сигналы, которые не окажут влияния на результат операции. В ЛЭ **ИЛИ** – это логический 0, а в ЛЭ **И** – это логическая 1.

В условии задачи сказано, что нужно использовать 3-входовые ЛЭ, однако не оговорена их разновидность. Поэтому при решении задачи будем использовать те ЛЭ, которые удобны (рис.1.20).

Реализацию \bar{b} можно выполнить на любом 3-входовом ЛЭ с инверсией. Выбираем элемент **ИЛИ-НЕ**.

На входы остальных логических элементов подадим принудительно 0 и 1 в соответствии с выполняемой логической функцией (см. рис.1.20).

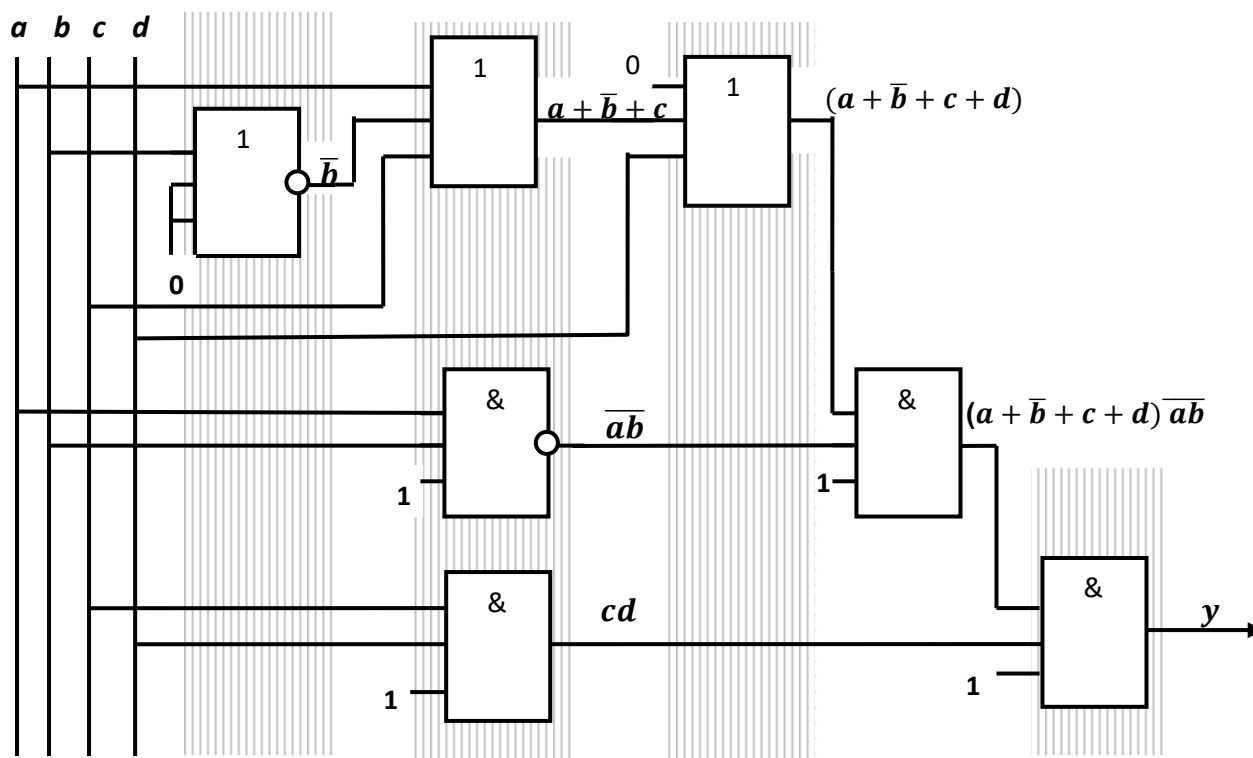


Рис.1.20. Реализация функции y в соответствии с условием задачи 3

Обратите внимание на изображение схемы (рис.1.20): рисунок выполнен таким образом, что схему легко читать: сначала получена инверсия, потом сумма и произведения, потом – совместные операции с результатами других операций. Логические элементы оказались расположенными в вертикаль – отмечено штриховкой на

рисунке: инвертор – одна вертикаль, сумма и произведение аргументов – вторая вертикаль и т.д.

Задача 4. Построить схему, реализующую функцию

$$y = \overline{abc} + c(\overline{a + b})$$

только на элементах **И-НЕ** и **ИЛИ-НЕ**⁴.

Решение.

Не трудно заметить, что для простой реализации схемы нужно иметь логические элементы и с инверсией и без нее:

- ✓ **НЕ** – для \bar{a} и для \bar{b}
- ✓ **И-НЕ** – для \overline{abc}
- ✓ **ИЛИ** – для $\bar{a} + \bar{b}$
- ✓ **И-НЕ** – для $\overline{c(\bar{a} + \bar{b})}$
- ✓ **ИЛИ** – для получения итогового выражения $\overline{abc} + \overline{c(\bar{a} + \bar{b})}$.

Однако по условию задачи можно использовать только умножение с инверсией и сумму с инверсией. Начнем!

Выражения \overline{abc} и $\overline{c(\bar{a} + \bar{b})}$ реализуем с помощью тех самых логических элементов, которые оговорены в условии задачи **И-НЕ** и **ИЛИ-НЕ**. Однако прежде нужно получить инверсии: \bar{a} и \bar{b} .

Для реализации y получим:

- 1) \bar{a} : 2-входовым элементом **ИЛИ-НЕ** (можно элементом **И-НЕ**); \bar{b} - аналогично.
- 2) $(\bar{a} + \bar{b})$: на элементе **ИЛИ-НЕ** сначала получим выражение $\overline{(\bar{a} + \bar{b})}$, а затем проинвертируем его на 2-входовом **И-НЕ**, и получим $\overline{\overline{(\bar{a} + \bar{b})}} = \bar{a} + \bar{b}$ (помните: двойная инверсия числа равна самому числу $\overline{\overline{X}}=X$);
- 3) $\overline{c(\bar{a} + \bar{b})}$: получим на элементе **2И-НЕ**;

⁴ Выражение для y обычно упрощают перед построением, однако в данном разделе пособия отрабатываются навыки построения схем, поэтому выражение не упрощаем.

4) итоговую сумму $\overline{abc} + \overline{c(\overline{a} + \overline{b})}$ получим аналогично п.2 – сначала получим сумму с инверсией, а потом – избавимся от ненужной инверсии – проинвертировав выражение еще раз.

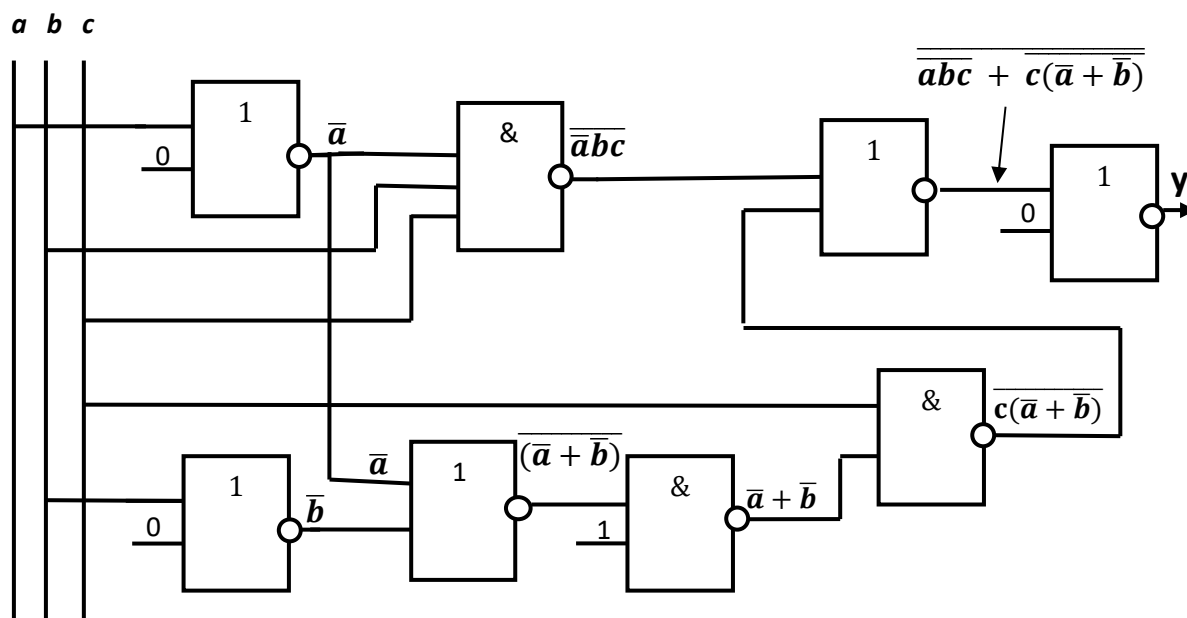


Рис.1.21. Реализация функции y в соответствии с условием задачи 4

1.8. Примеры схемной реализации устройств

Рассмотрим использование логических элементов на примерах решения задач по схемной реализации устройств⁵.

Задача 5. Выработать сигнал логической **1** в случае открывания одной из четырех дверей автомобиля. Состояние двери определяют датчики следующим образом: если дверь закрыта, то датчик выдает логический **0**, если открыта – логическую **1**.

Обозначим датчики дверей $D1, D2, D3, D4$.

Решение. Выходной сигнал логической **1** должен появиться на выходе разрабатываемой схемы в том случае, если открыта хотя бы одна дверь, это означает, что должен сработать **или** датчик $D1$, **или** датчик $D2$, **или** датчик $D3$ **или** датчик $D4$.

Обозначим сигналы, выдаваемые датчиками буквами $d1, d2, d3, d4$ – соответственно. Функция, которую должна

⁵ Приведенные примеры решения задач преследуют целью показать практическое использование логических элементов и являются сильно упрощенными.

реализовать схема – это простая функция логического сложения **ИЛИ**. Для реализации выберем один логический элемент **4ИЛИ**.

Формула, которую реализует схема: $y=d1+d2+d3+d4$. Функция y примет значение **1**, если хотя бы один из аргументов будет равен **1**. Разрабатываемая схема примет вид, представленный на рис.1.22.

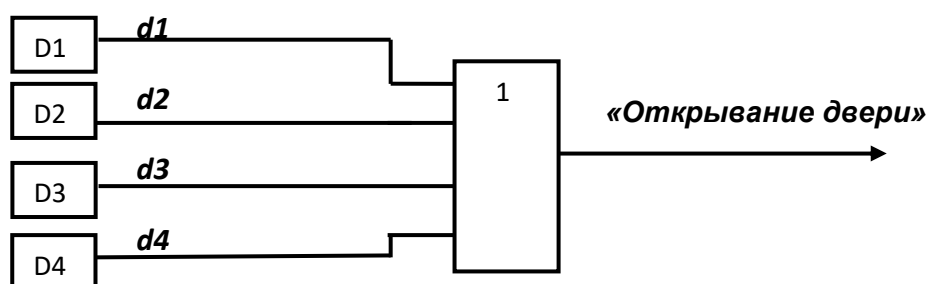


Рис.1.22. Решение задачи 5

Решение задачи выполнено на 4-входовом ЛЭ, однако можно сделать реализацию и на 2-входовых логических элементах, но для этого придется использовать три ЛЭ, которые будут складывать сигналы по частям в соответствии с формулами, приведенными ниже:

$$y = (d1+d2) + (d3+d4) \quad y = ((d1+d2) + d3) + d4.$$

Вариантов, подобных второму решению, может быть множество, но они нерациональны, так как для реализации задачи потребуется несколько ЛЭ, а при построении схем всегда стремятся к минимизации используемых устройств.

Задача 6. Датчики системы срабатывают следующим образом: датчики $D1$ и $D3$ срабатывают из **0** в **1**, а датчики $D2$ и $D4$ – из **1** в **0**. Разработать схему, которая «отследит» срабатывание всех четырех датчиков **одновременно** и выдаст сигнал логической **1**.

Решение.

Если бы все четыре датчика срабатывали одинаково, то достаточно было бы просто выполнить операцию логического умножения, используя элемент **4И**. На его выходе появляется логическая **1** тогда, когда на всех его входах - логическая **1**.

Однако датчики $D2$ и $D4$ выдают при срабатывании логические 0. Изменим логику работы датчиков таким образом, чтобы при срабатывании появлялись не логические 0, а логические 1. Для этого сигналы с датчиков достаточно проинвертировать. Теперь смело можно использовать ЛЭ 4И.

Для реализации схемы в соответствии с условием задачи запишем формулу для y

$$y = d1 \cdot \overline{d2} \cdot d3 \cdot \overline{d4}.$$

Разрабатываемая схема представлена на рис.1.23.

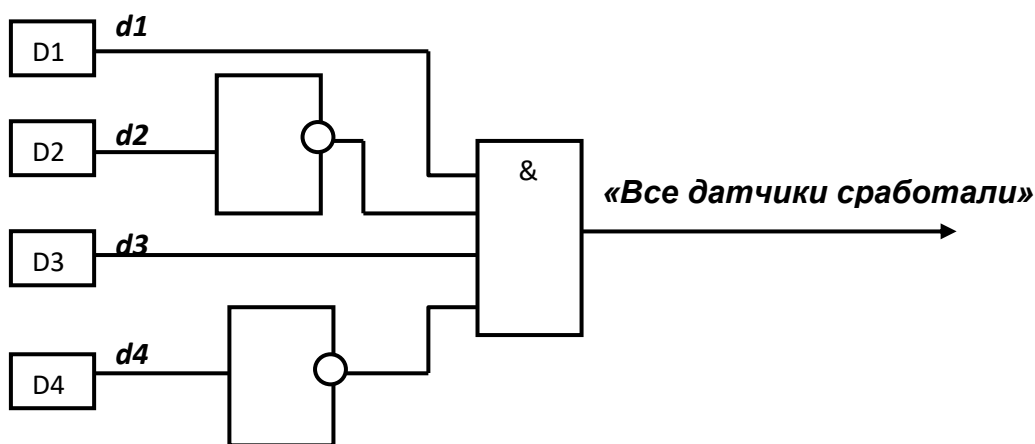


Рис.1.23. Решение задачи 6

Задача 7. Два поезда следуют по двум путям (первому и второму) в одном направлении. На определенном участке дороги оба пути сливаются в один (третий путь) и поезда должны следовать по очереди. На некотором расстоянии от слияния на каждом пути расположены датчики $d1$ и $d2$, которые выдают сигнал логической 1 только тогда, когда поезд проезжает мимо. Движение поездов регулируется семафорами $C1$ и $C2$, расположенными вдоль обоих путей.

Разработать схему, которая вырабатывает сигнал логической 1 для зажигания запрещающего сигнала соответствующего семафора следующим образом: в случае, если первым проедет поезд по пути П1, то должен быть подан запрещающий сигнал на семафор $C2$, если же первым проедет поезд по пути П2, то должен загореться запрещающий сигнал на семафоре $C1$.

Если поезда проследуют мимо датчиков одновременно, то преимуществом пользуется поезд, следующий по первому пути (должен сработать на запрещение семафор С2)

Решение. Для начала поясним условие задачи схематично (рис.1.24).

Разрабатываемая схема, оценив состояние датчиков d_1 и d_2 , должна выработать 2 сигнала, которые обеспечат запрещающие сигналы светофоров С1 и С2. Назовем их y_1 и y_2 соответственно.

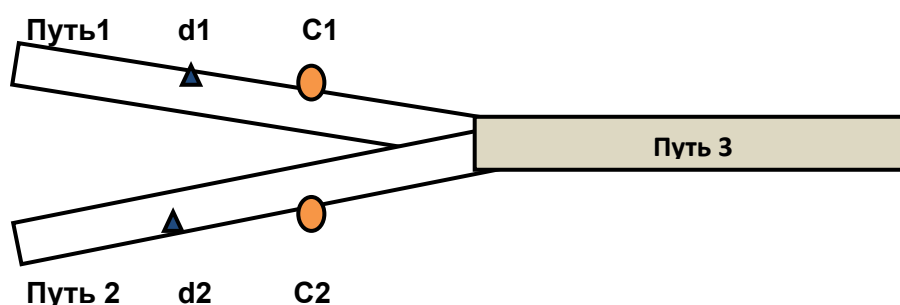


Рис.1.24. Пояснение к задаче 7

Таким образом, на вход разрабатываемой схемы должны поступить два сигнала d_1 и d_2 и на выходе должны появиться два сигнала y_1 или y_2 (1.25).



Рис.1.25. Решение задачи 7: упрощенная структура разрабатываемой схемы

Рассуждать будем следующим образом. Когда должен загореться запрещающий сигнал на семафоре С2 по сигналу y_2 ? В двух случаях.

Первый случай: сработал d_1 **И не** сработал d_2 :

$$d_1 \cdot \bar{d}_2 \quad (d_1 \text{ И } \bar{d}_2).$$

Второй случай: **сработали оба** датчика d_1 и d_2 :

$$d_1 \cdot d_2 \quad (d_1 \text{ И } d_2).$$

Известно, что сигнал y_2 должен появиться в первом **ИЛИ** во втором случае. Поэтому запишем формулу для запрещающего сигнала y_2 на С2 так:

$$y_2 = \underset{\substack{\uparrow \\ \text{И}}}{d_1} \cdot \underset{\substack{\uparrow \\ \text{ИЛИ}}}{\overline{d_2}} + \underset{\substack{\uparrow \\ \text{И}}}{d_1} \cdot d_2.$$

Из формулы видно, что для построения схемы нужно использовать один логический элемент **НЕ**, два элемента **И**, один элемент **ИЛИ** (рис.1.26).

Теперь относительно семафора С1. Когда он должен сработать? Только в одном случае, когда поезд по второму пути проедет мимо датчика d_2 раньше, чем поезд по первому пути проедет мимо датчика d_1 . То есть должен **не сработать** d_1 **И** **сработать** d_2 ($\overline{d_1}$ и d_2). Составим выражение для y_1 :

$$y_1 = \overline{d_1} \cdot d_2.$$

Таким образом, для получения сигнала y_1 достаточно использовать один инвертор и один элемент **И** (см. рис.1.26). Схема, отмеченная пунктиром на рис. 1.26, соответствует прямоугольнику «разрабатываемая схема» на рис.1.25.

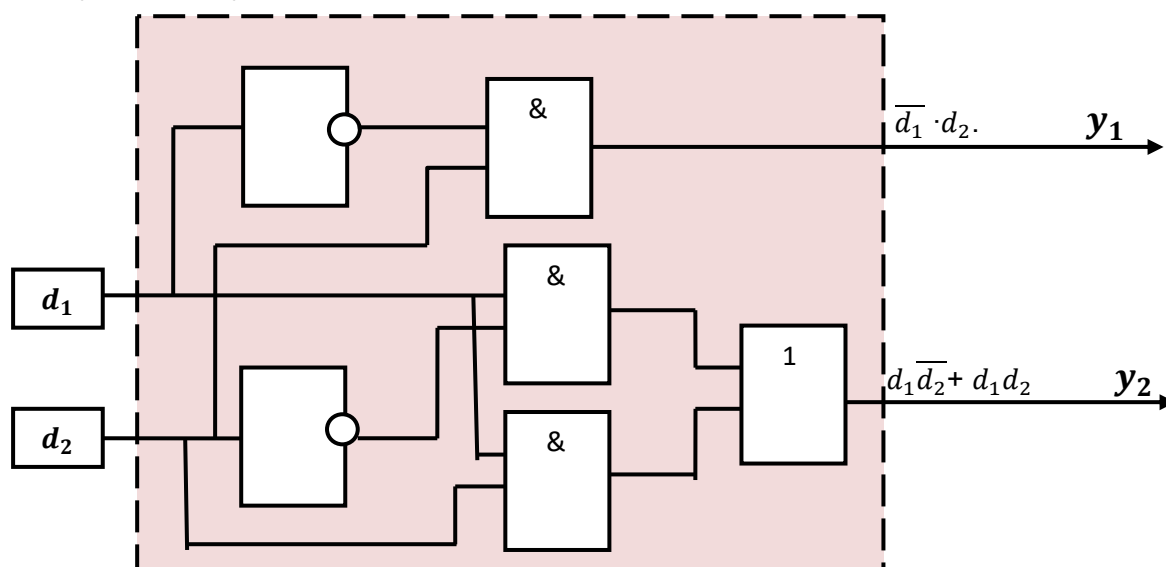


Рис.1.26. Решение задачи 7: схема электрическая, построенная на логических элементах

В приведенных решениях задач построение схем проводится исходя из логики работы схемы. Не трудно заметить, что логические

рассуждения, применение понятий **И**, **ИЛИ**, **НЕ** приводят к записи логических выражений, по которым строится схема.

Вообще говоря, *построение электронных схем на ЛЭ* похоже на игру в кубики. Чтобы легко строить схемы, достаточно помнить, какую функцию выполняет каждый логический элемент («кубик»).

Задача 8. На вход электронной схемы поступают импульсы с трех генераторов импульсов ГИ1, ГИ2 и ГИ3. Частота следования импульсов с генератора ГИ1: $f_1 = 500$ Гц, с генератора ГИ2: $f_2 = 100$ Гц, а с генератора ГИ3: $f_3 = 0,1$ Гц. Длительность импульсов, вырабатываемых генератором ГИ3, составляет 7с. Разработать схему, выдающую на выход попеременно импульсы с частотой f_1 – в течение **3с** и импульсы с частотой f_2 – в течение **7с** (рис.1.27,а).

Решение.

Определим период T следования импульсов, выдаваемых генератором ГИ3:

$$T = 1/f_3 = 1/0,1 (\text{Гц}) = 10\text{с.}$$

Следовательно, из периода 10с длительность импульса составит $t_{\text{имп}} = 7\text{с}$, а длительность паузы - $t_{\text{п}} = 3\text{с}$.

Для пояснения условий задачи и чтобы наглядно видеть, как должна функционировать разрабатываемая схема, приведем графики входных и выходного напряжений разрабатываемой схемы, а также упрощенную структурную схему (см. рис.1.27,а;б).

Из графиков на рис.1.27,а видно, что импульсы с генератора ГИ2 проходят на выход при логической **1**, поступающей с генератора ГИ3, а импульсы с ГИ1 проходят на выход – при логическом **0** с генератора ГИ3 .

На выход Y пройдут сигналы со входа **b** при $c=1$ **ИЛИ** сигналы со входа **a** при $c=0$.

На упрощенной структурной схеме показаны входные сигналы, поступающие на вход схемы с генераторов ГИ1, ГИ2, ГИ3 и выходные сигналы, которые должны появляться на выходе разрабатываемой схемы.

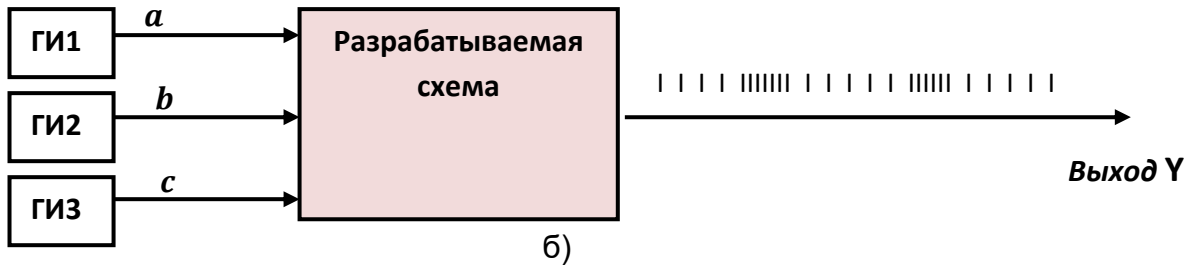
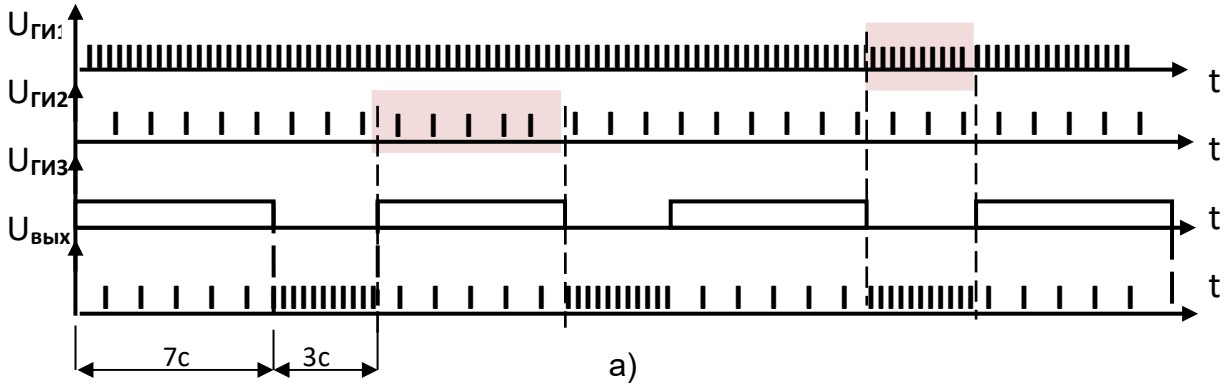


Рис.1.27. Пояснения к условию задачи 8

Обозначим для удобства напряжения генераторов ГИ1, ГИ2 и ГИ3 символами a, b, c , а выходное напряжение – Y . Тогда можно составить выражение для Y

$$Y = bc + a\bar{c}$$

Построим схему (рис.1.28), реализующую Y .

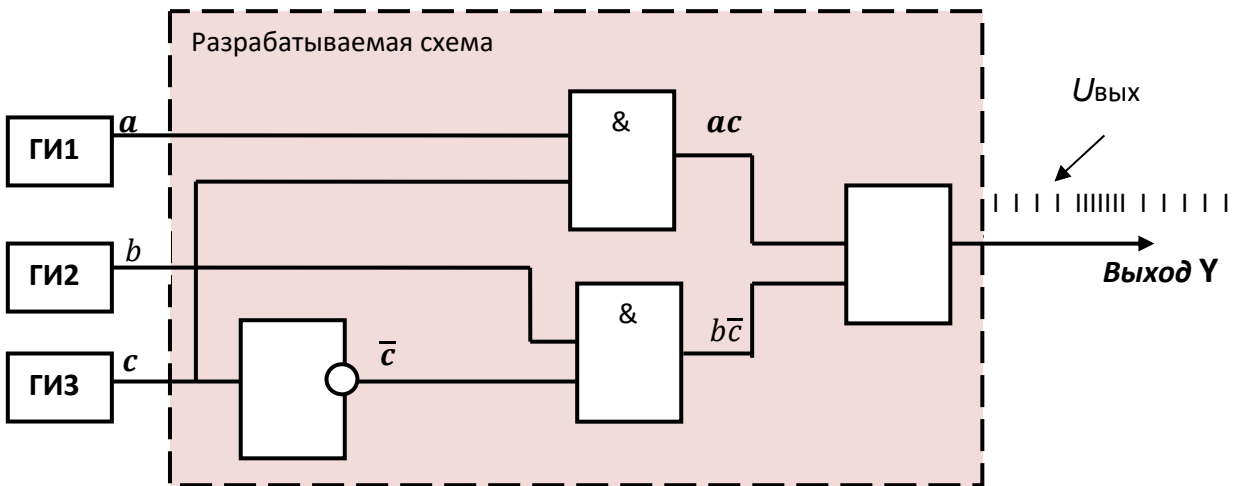


Рис.1.28. Решение задачи 8

Задача решена.

1.9. Построение схем по таблицам состояний

Реализация цифровых схем выполняется по формулам. Однако формулы можно записать не только путем проведения логических рассуждений, как в задачах с 5 по 8, но и через составление таблиц состояний.

Для начала конкретизируют особенности работы схемы, потом составляют таблицу, описывающую состояние входных сигналов и соответствующих им выходных, а по ней – записывают формулу. Далее формулу упрощают по правилам алгебры логики, а только потом строят схему. Если все выполнено без ошибок, схема выполнит поставленную задачу. Почему упрощают формулу? Чтобы минимизировать количество используемых логических элементов при реализации функции.

Задача 9. Разработать схему, вырабатывающую сигнал «неисправность», если индикаторы светофора работают неправильно.

Решение. Примем за a – красный, b – желтый, c – зеленый сигналы светофора. Работающий индикатор примем за логическую 1, неработающий – за логический 0. Сигнал «неисправность» обозначим символом y .

Составим таблицу состояний светофора (рис.1.29).

a	b	c	Y
0	0	0	1
0	0	1	0
0	1	0	0
0	1	1	1
1	0	0	0
1	0	1	1
1	1	0	0
1	1	1	1

Рис. 1.29. Таблица состояний светофора

Поясним составление таблицы. Комбинация $abc=000$ соответствует состоянию, когда все три индикатора светофора не работают, поэтому разрабатываемая схема, распознав эту ситуацию, должна выработать сигнал «неисправность», т.е. $y=1$. Аналогично составлены остальные комбинации таблицы.

По таблице состояний получают формулу выражения y следующим образом:

- выделяют те строки таблицы, в которых $y=1$ (выделено в таблице цветным фоном);
- записывают формулу для y как *логическую сумму* (дизъюнкцию) произведений аргументов a, b, c . При этом, если аргумент в выделенной строке таблицы равен нулю, то в формулу он входит в инверсном виде, а если он равен **1** – то в прямом.

Получим выражение, количество слагаемых которого равно количеству значений $Y=1$ в таблице:

$$Y = \bar{a}\bar{b}\bar{c} + \bar{a}bc + a\bar{b}c + abc. \quad (1.1)$$

Такая форма записи (1.1) называется **совершенной дизъюнктивной нормальной формой (СДНФ)**.

Прочтем полученное выражение с точки зрения алгебры логики, приняв во внимание, что логическое сложение – это операция **ИЛИ**, а умножение – это операция **И**. Получится:

выработать сигнал y , если

– **НЕ** работает индикатор a , **И** **НЕ** работает индикатор b , **И** **НЕ** работает индикатор «с»

ИЛИ

– **НЕ** работает индикатор a **И** работают индикаторы b **И** «с»

ИЛИ

– работает a **И** **НЕ** работает b **И** работает c

ИЛИ

– работают a **И** b **И** c .

Формула абсолютно соответствует той логике, по которой была составлена таблица состояний!

Упростим (минимизируем) полученное выражение y :

$$\begin{aligned}
 y &= \bar{a}\bar{b}\bar{c} + \bar{a}bc + \underline{\bar{a}bc} + \underline{abc} = \bar{a}\bar{b}\bar{c} + \bar{a}bc + ac(\underbrace{\bar{b} + b}_1) = \\
 &= \bar{a}\bar{b}\bar{c} + \underline{\bar{a}bc} + \underline{ac} = \\
 &= \bar{a}\bar{b}\bar{c} + c(\underbrace{\bar{a}b + a}_{a+b}) = \bar{a}\bar{b}\bar{c} + ac + bc. \quad (1.2)
 \end{aligned}$$

Полученная формула (1.2) называется **минимальной дизъюнктивной нормальной формой (МДНФ)**.

Построим схему, реализующую функцию y (рис. 1.30) на логических элементах.

Для построения схемы, вырабатывающей сигнал «неисправность» были использованы 3 логических элемента **НЕ** (инверсия), 2 двухвходовых ЛЭ – **И**, один трехвходовой элемент **И**, один трехвходовой ЛЭ **ИЛИ**.

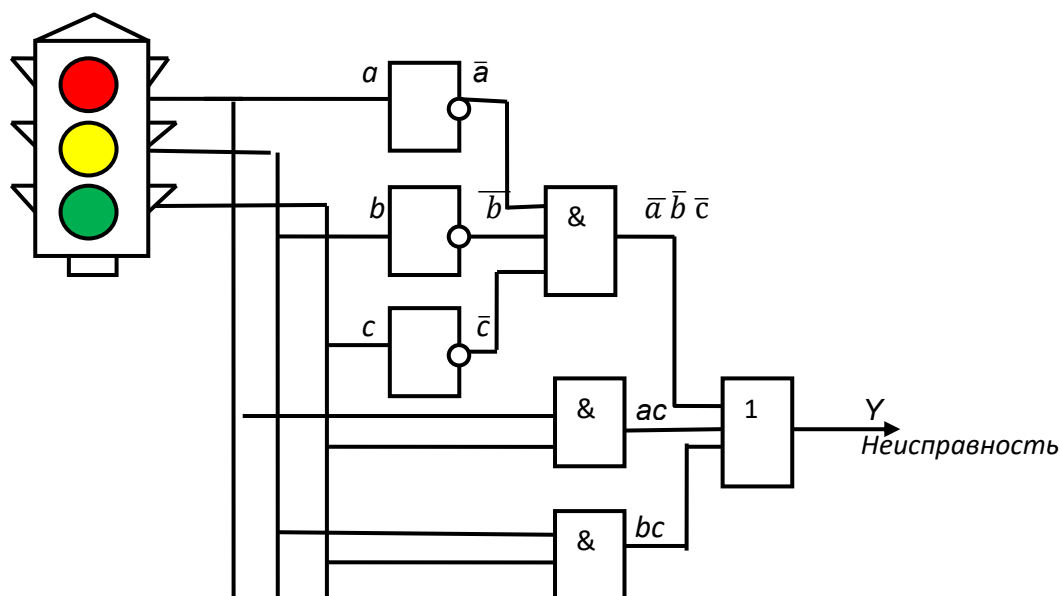


Рис. 1.30. Схема «неисправности» светофора

По таблице состояний можно записать формулу и **другим способом**. Для этого:

- **выделяются** строки, на которых y принимает **нулевые значения**;

- записывается *логическое произведение (конъюнкция)* сумм аргументов a, b, c . При этом, если аргумент записан в таблице равным **1**, то в формулу он заносится в инверсном виде, если же **0** – то в прямом.

Получим выражение количество сомножителей равно количеству значений $Y=0$ в таблице:

$$Y = (a + b + \bar{c})(a + \bar{b} + c)(\bar{a} + b + c)(\bar{a} + \bar{b} + c). \quad (1.3)$$

Такая форма записи (1.3) называется **совершенной конъюнктивной нормальной формой (СКНФ)**.

Другие варианты решения этой задачи будут рассмотрены ниже.

1.10. Минимизация функций

Решение задачи 9 о светофоре состояло из следующих этапов: составления выражения для Y по таблице состояний, упрощения выражения по правилам алгебры логики и построения схемы на ЛЭ.

Этап упрощения выражений при разработке устройств на ЛЭ очень важен, так как минимизация функции приводит к сокращению количества логических операций, а следовательно, к уменьшению количества используемых при построении схемы логических элементов.

Кроме преобразований, выполняемых по правилам алгебры логики, используются и другие способы минимизации выражений для построения схем.

Рассмотрим один из них – минимизация выражений с помощью карт Вейча. Этот метод применяется в основном для минимизации функций 2,3 и 4 аргументов [1].

Карта Вейча – это вид таблицы истинности (таблицы состояний), где каждое значение функции ставится в ячейку, расположение которой зависит от сочетания аргументов.

Количество ячеек в картах Вейча зависит от количества аргументов в записи функции (рис.1.31) и равно 2^n , где n – число аргументов.

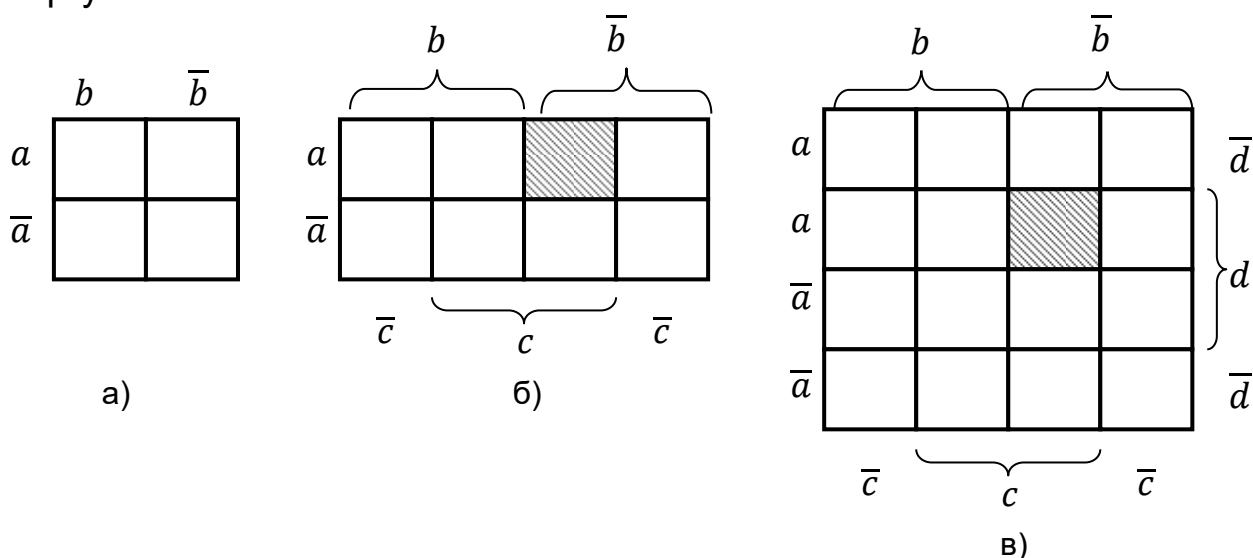


Рис.1.31. Карты Вейча для записи функций: а – 2 аргументов; б – 3 аргументов; в - 4 аргументов

Карта Вейча заполняется способом, похожим на заполнение таблицы состояний: каждому набору аргументов соответствует конкретное значение Y .

Из рис.1.31 видно, что у каждой клетки есть своеобразная «координата», состоящая из названия строки и столбца. Например, в таблице для 2-х аргументов, состоящей из четырех клеток, «координаты» клеток: ab , $a\bar{b}$, $\bar{a}b$, $\bar{a}\bar{b}$. В таблице для 3-х аргументов «координата» заштрихованной клетки: $a\bar{b}c$, а в таблице для 4-х аргументов координата заштрихованной клетки: $a\bar{b}cd$.

Особенностью карты Вейча является то, что соседние клетки как по вертикали, так и по горизонтали, отличаются всего одним аргументом.

Заполнение карты состоит в записи значения функции Y на соответствующем наборе аргументов. Если аргумент равен **1**, то используется «координата» клетки, в которой аргумент задан в прямом виде, если же аргумент равен **0**, то «координата» клетки задана в инверсном виде.

Заполним карту Вейча для состояний светофора из задачи 9 (рис.1.32). Напомним: a, b, c – красный, желтый, зеленый сигналы светофора. Если индикатор горит, то аргумент равен **1** и в таблице используется «координата» аргумента, записанная в прямом виде (a, b, c) , если индикатор не горит – то в инверсном $(\bar{a}, \bar{b}, \bar{c})$. Рассмотрим заштрихованную клетку таблицы: ее координата $ab\bar{c}$ означает, что индикаторы a, b – горят, \bar{c} – не горит. Такая комбинация допустима, поэтому сигнал неисправности светофора вырабатываться не должен, т.е. $y=0$.

	b		\bar{b}	
a	0	1	1	0
\bar{a}	0	1	0	1
	\bar{c}	c		\bar{c}

Рис.1.32. Заполнение карты Вейча для задачи 9

Минимизация функции с помощью карт Вейча состоит в следующем. Сначала все клетки таблицы, содержащие **единицы** объединяются в замкнутые области, представляющие собой **прямоугольники**. Одна область может содержать 1, 2, 4 или 8 единиц. Одна и та же клетка может входить сразу в несколько областей, т.е. области могут пересекаться. Объединение единиц в области показано на рис.1.33,1.34. При получении одной области стараются объединить в нее максимально возможное число единиц.

Объединяются в область:

- ✓ соседние единицы одной строки по 2 или строки целиком (рис.1.33,а;б;в);
- ✓ соседние единицы одного столбца по 2 или столбцы целиком (рис.1.33,б;г;д);
- ✓ целые соседние строки;
- ✓ целые соседние столбцы;
- ✓ все угловые единицы (рис.1.33,в).

- ✓ противоположные грани таблицы - строки и столбцы по 2 единицы (рис.1.33,г-области II) или по 4 единицы;
- ✓ прямоугольные области, состоящие из 2^n соседних единиц (см. рис.1.33,г).

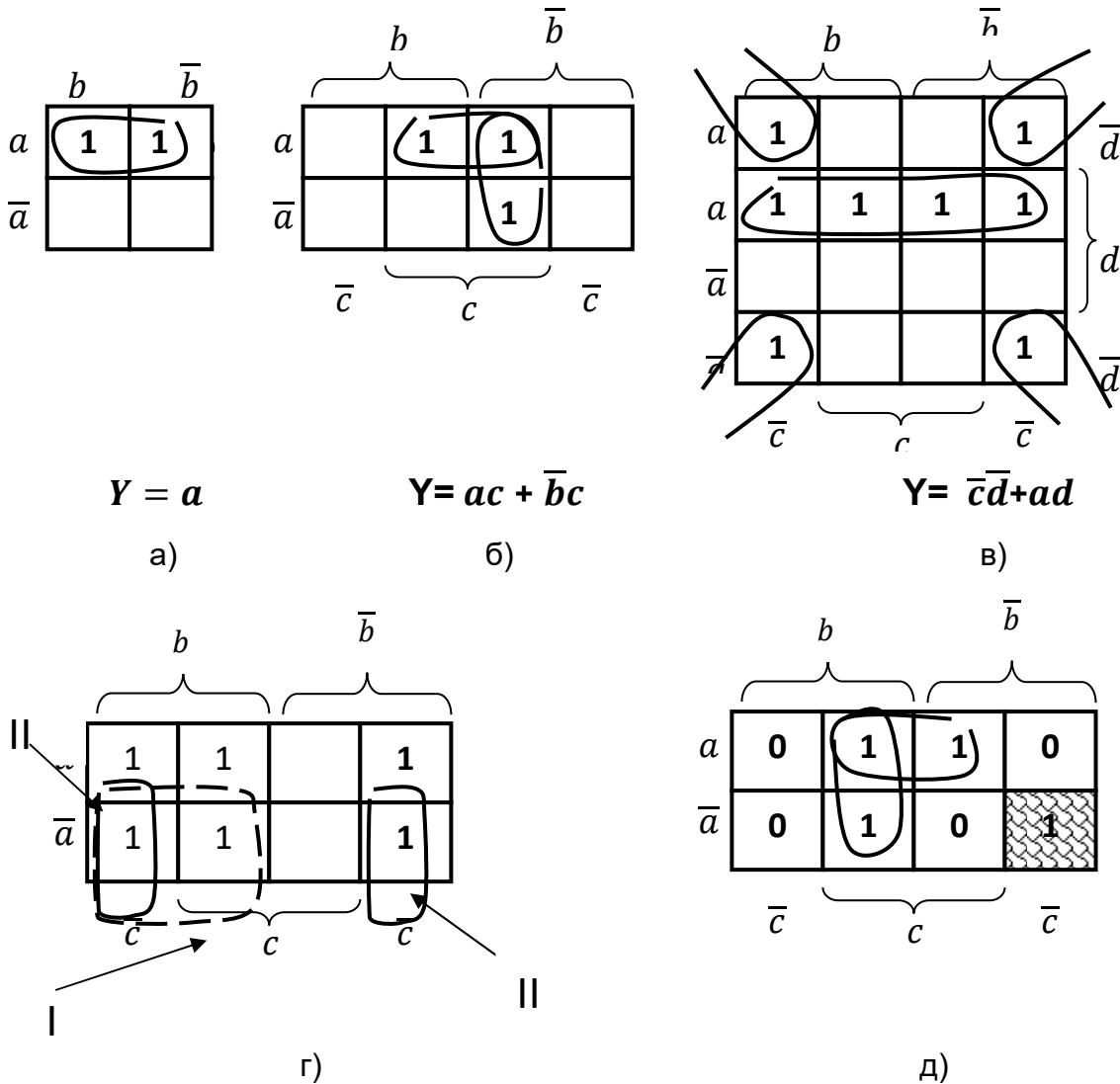


Рис.1.33. Составление формул по картам Вейча

Следует стремиться к получению **минимального количества областей**.

Затем производится запись выражения функции Y , где **каждая из областей** представляется **слагаемым**, состоящим только из тех аргументов, которые для клеток соответствующей области имеют одни и те же (общие) значения (либо только прямые, либо только инверсные).

Так, на рис.1.33,а показано объединение двух единиц в одну область. Для этой области **одинаковый** - только аргумент a , неодинаковы аргументы b и \bar{b} . Поэтому результат минимизации

$$Y = a.$$

На рис.1.33,б выделены две области, каждая состоит из двух единиц. Области пересекаются. От одной области в запись функции пойдет слагаемое ac (строка a , 2 столбца c) от второй - $\bar{b}c$ (столбцы \bar{b} и c). Поэтому

$$Y = ac + \bar{b}c.$$

На рис. 1.32,в выделены 2 области: одна - из единиц, расположенных в углах таблицы, и вторая – это строка.

Составим выражение для Y . У всех 4-х единиц, расположенных по углам, есть аргументы a и \bar{a} и аргументы b и \bar{b} поэтому аргументы a и b в формулу не войдут. У всех единиц есть одинаковые аргументы \bar{c} и \bar{d} . Поэтому одно слагаемое в выражении для Y – это $\bar{c}\bar{d}$. Единицы, расположенные в строку, дадут слагаемое ad . Конечная формула примет вид:

$$Y = \bar{c}\bar{d} + ad.$$

Составим выражение для таблицы изображенной на рис.1.33г. Область I, состоящая из 4-х единиц, даст слагаемое b , область II – тоже из 4-х единиц - слагаемое \bar{c} . Формула для Y примет вид:

$$Y = b + \bar{c}.$$

Обратите внимание, в таблице на рис.1.33,г можно выделить 3 области по 2 единицы (столбцы), но тогда в итоговой формуле будет 3 слагаемых, и выражение Y не будет минимизированным до конца. Именно показанное в примере выделение 2-х областей позволило минимизировать функцию.

На рис.1.33,д представлена карта Вейча для задачи 9. Из рисунка видно, что одна необъединенная единица (заштрихованная клетка) дает слагаемое $\bar{a}\bar{b}\bar{c}$, а две области по две единицы дают слагаемые ac и bc . Выражение для Y примет вид:

$$Y = \bar{a}\bar{b}\bar{c} + ac + bc \quad (1.4)$$

Полученная формула идентична формуле (1.2) из п.1.9 и является минимальной дизъюнктивной нормальной формой **МДНФ** (упрощенное выражение, состоящее из **сумм произведений**).

По карте Вейча можно получить также и минимальную конъюнктивную нормальную форму записи функции Y (**МКНФ**) – упрощенное выражение, состоящее из **произведений сумм**. Для этого в таблице объединяют **нули** по тем же правилам, что были описаны выше (см. рис.1.34). Но при записи членов логического выражения берутся инверсии аргументов, на пересечении которых находятся области. То есть вместо a – записывается \bar{a} , и, наоборот, вместо \bar{a} – записывается a . И так со всеми аргументами.

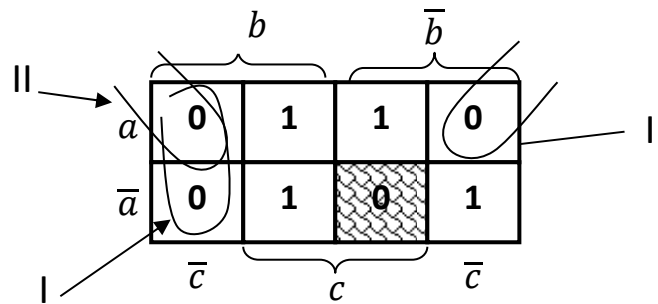


Рис.1.34. Составление **МДНФ** по карте Вейча для задачи 9

Составим МДНФ для задачи 9. Область I даст сомножитель $(\bar{b}+c)$, область II – сомножитель $(\bar{a} + c)$. Необъединенный нуль (заштрихованная область) даст $(a + b + \bar{c})$. Таким образом, формула для Y примет вид:

$$Y = (\bar{b} + c) \cdot (\bar{a} + c) \cdot (a + b + \bar{c}) \quad (1.5)$$

Можно проверить, соответствует ли функция Y , записанная в МКНФ (в виде произведения сумм) (1.5), функции Y , записанной в МДНФ (в виде суммы произведений) (1.4). Для этого раскроем скобки в выражении (1.5):

$$\begin{aligned} Y &= (\bar{b}+c) \cdot (\bar{a} + c) \cdot (a + b + \bar{c}) = (\bar{a}\bar{b} + \bar{a}c + \bar{b}c + c \cdot c) (a + b + \bar{c}) \\ &= [\bar{a}\bar{b} + c(\bar{a} + \bar{b} + 1)](a + b + \bar{c}) = (\bar{a}\bar{b} + c)(a + b + \bar{c}) = \\ &= 0 + ac + 0 + bc + \bar{a}b\bar{c} + 0 = \boxed{\bar{a}b\bar{c} + ac + bc} - \end{aligned}$$

что и требовалось доказать – формулы (1.4) и (1.5) – идентичны!

Глава 2. ЦИФРОВЫЕ МИКРОСХЕМЫ

2.1. Интегральные микросхемы

Цифровые микросхемы предназначены для преобразования и обработки сигналов, изменяющихся по законам дискретной функции [2]. Они применяются для построения цифровых схем, микропроцессоров, аппаратуры автоматического управления, связи и т.д.⁶

Внутри микросхем находятся сложные электронные схемы микроскопических размеров, все элементы которых, а также соединения между ними, **формируются в объеме и на поверхности кристалла полупроводника** с помощью интегральной технологии.

Все множество элементов электронных схем независимо от степени сложности схемы можно разбить на 2 класса: активные и пассивные. К **активным элементам** относят - диоды, стабилитроны, транзисторы и другие полупроводниковые приборы, к **пассивным** - резисторы, конденсаторы (рис. 2.1, 2.2).

И активные и пассивные элементы схем изготавливаются все вместе одновременно на единой несущей «площадке» – подложке. Процессы изготовления элементов совмещаются с процессами их соединения проводами в общие электронные структуры на кристалле полупроводника - схемы.

Такая технология изготовления схем называется интегральной, а микросхемы – интегральными⁷.

Готовый кристалл, в котором «плотно упакованы» элементы, называется **интегральной схемой (ИС)**. Такая схема помещается в герметичный корпус с выводами (ножками), защищающий ее от механических воздействий, влияний окружающей среды,

⁶ В технике помимо цифровых используются аналоговые микросхемы, которые преобразуют и обрабатывают аналоговые сигналы.

⁷ *Integre* - от лат. — целый, неразрывно связанный.

рассеивающий выделяемое тепло и обеспечивающий нормальную работу в течение всего срока службы.

Кристалл, заключенный в корпус, представляет собой конструктивно завершенное изделие и называется **интегральной микросхемой (ИМС)**.

Все схемы внутри ИМС по типу используемых транзисторов можно условно разбить на два больших класса: схемы на биполярных и полевых транзисторах.

Наибольшее распространение получили следующие виды ИМС:

- **ТТЛ** — микросхемы транзисторно-транзисторной логики на биполярных транзисторах;
- **ЭСЛ** - микросхемы эмиттерно-связанной логики на биполярных транзисторах;
- **МОП** (или МДП) - микросхемы на полевых транзисторах структуры металл-оксид-полупроводник (или металл-диэлектрик-полупроводник);
- **КМОП** - микросхемы на **комплементарных МОП** транзисторах - полевых транзисторах, особенностью технологий которых является наличие в одной микросхеме транзисторов с каналами разной проводимости (и p - и n - проводимости). Эта разновидность технологий лежит в основе изготовления современных микросхем микропроцессоров.

Пример ИМС, построенной на **ТТЛ** схеме, представлен на рис.2.1,а. Схема выполняет функцию **ЗИ-НЕ**. Входы обозначены буквами a, b, c , на выходе напряжение равно $Y = \overline{abc}$.

Пример ИМС, построенной на **ЭСЛ** схеме, представлен на рис.2.1,б. Схема выполняет две функции над входными напряжениями a, b, c . Первая функция - **ЗИЛИ-НЕ**, выходной сигнал формируется на выходе $Y_1 = \overline{a + b + c}$. Вторая функция – это **ЗИЛИ**, выходной сигнал формируется на выходе $Y_2 = a + b + c$.

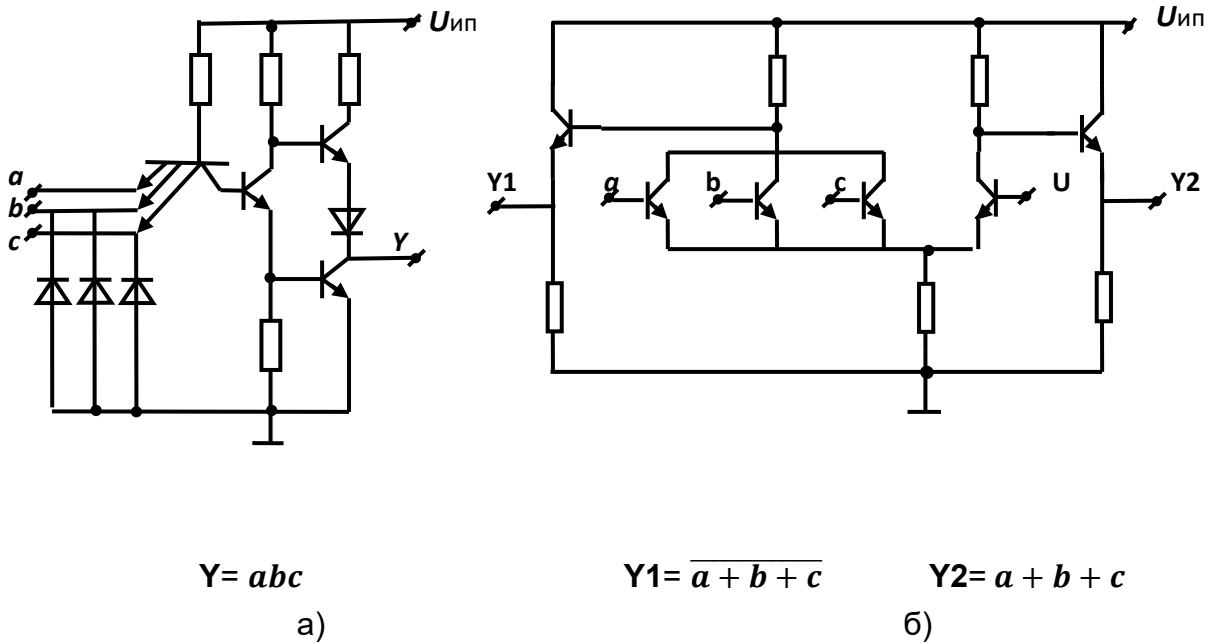


Рис.2.1. Логические элементы, выполненные на ИМС: а - ТТЛ – ЗИ-НЕ ; б - ЭЛ – 3 ИЛИ-НЕ / ЗИЛИ

Пример **МОП** ИМС приведен на рис.2.2,а. Схема выполняет функцию 2-входового логического элемента **ЗИЛИ-НЕ**, входные сигналы поступают на входы **a** и **b**, выходное напряжение $Y = \overline{a + b}$.

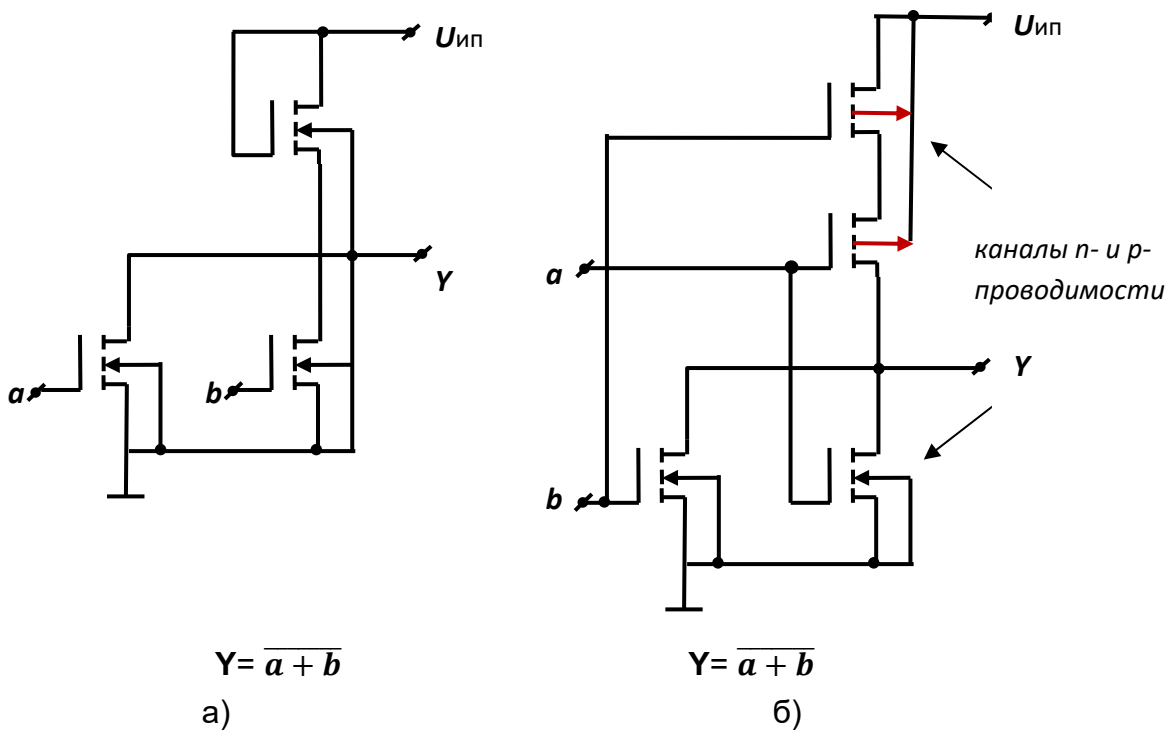


Рис.2.2. Логические элементы, реализующие функцию **ЗИЛИ-НЕ**: а - на микросхеме **МОП**; б - на микросхеме **КМОП**

Такую же функцию выполняет **КМОП** ИМС, представленная на рис.2.2,б. Входные сигналы поступают на входы ***a*** и ***b***, выходное напряжение, которое появляется на выходе: $Y = \overline{a + b}$.

Внутри одной интегральной схемы обычно располагается несколько штук однотипных схем логических элементов, подобных тем, которые изображены на ри.2.1 и 2.2. Все компоненты этих схем выращиваются на кристаллах полупроводников и имеют микроскопические размеры.

2.2. Изготовление ИМС и готовых изделий на них

Изготовление ИМС – процесс сложный. Упрощенно этапы создания интегральных схем состоят в:

- ✓ проектировании электронной схемы, которая должна расположиться на кристалле;
- ✓ составлении топологий общего расположения всех компонентов на кристалле (послойно);
- ✓ определении связей между элементами и их пространственного расположения;
- ✓ топологии расположения связей в пространстве кристалла.

Технологии получения схем в интегральном исполнении сложны и постоянно развиваются. Именно совершенствование технологий позволило иметь размеры компонентов внутри современных ИМС нанометровых размеров.

Все компоненты электронных устройств (и активные и пассивные) состоят из слоев *p*- и *n*-типов полупроводников, выращиваемых на подложке. Размеры, созданных на кристалле элементов настолько малы, что их можно увидеть только с помощью электронного микроскопа.

Чтобы умозрительно представить размеры устройств, расположенных внутри ИС, вспомним, что человеческий волос имеет диаметр около **80–100 тысяч** нанометров.

Микросхема фирмы ALTERA, выполненная по технологии **28нм**, в 2011 г. содержала **3,9 млрд** транзисторов в кристалле [9].

В 2019 г. появилась информация о том, что фирма Intel произвела ограниченную партию микросхем микропроцессоров Cannon Lake, выполненных по **10 нм** технологии [8], а в 2020 году фирма APPLE представила микропроцессор A14 Bionic выполненный по новому **5-нанометровому** техпроцессу: на площади кристалла полупроводника размером **8,8мм²** располагается **11,8 млрд** транзисторов [10]!

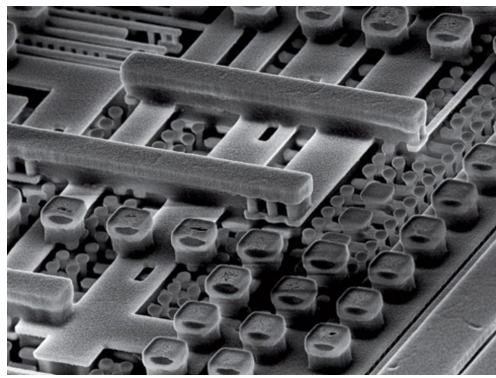
На рис.2.3,а изображено фото кристалла интегральной схемы, сделанное с помощью электронного микроскопа – вид сверху. А на рис.2.3,б приведен вид другого кристалла в разрезе: в зону среза попали не только области транзисторов и других компонентов (нижний слой), но и провода, их соединяющие, расположенные в так называемых слоях металлизации.

Проводов, соединяющих контакты компонентов очень много. Например, если количество компонентов современных микропроцессоров составляет миллиарды штук на кристалл, а на каждый резистор, конденсатор и диод приходится по 2 вывода, на транзистор – по 3 провода, то количество всевозможных соединений между компонентами – в разы выше числа самих компонентов.

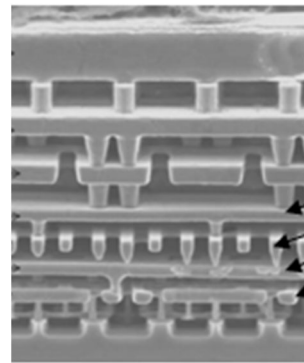
Кроме того, провода, соединяющие выводы, не должны соприкасаться между собой там, где это недопустимо. Поэтому провода внутри современных интегральных схем располагаются многоярусно и на изображениях кристаллов микросхем напоминают многоуровневые развязки дорог (рис.2.3, в;г).

Из интегральных микросхем собирают готовые электронные устройства. Для этого все ИМС устанавливают на плату и соединяют соответствующим образом выводы микросхем (рис.2.4).

Расположение микросхем на плате, а также связи между ножками микросхем определяются принципиальной схемой устройства.

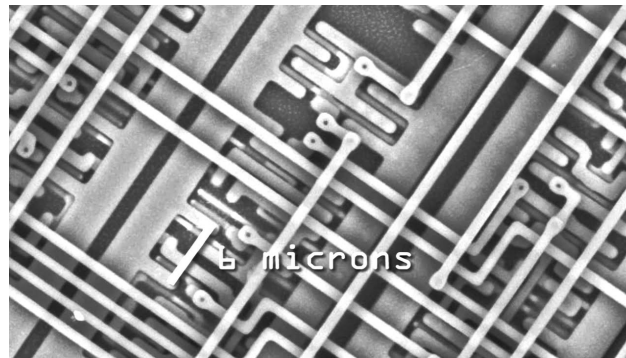


а)

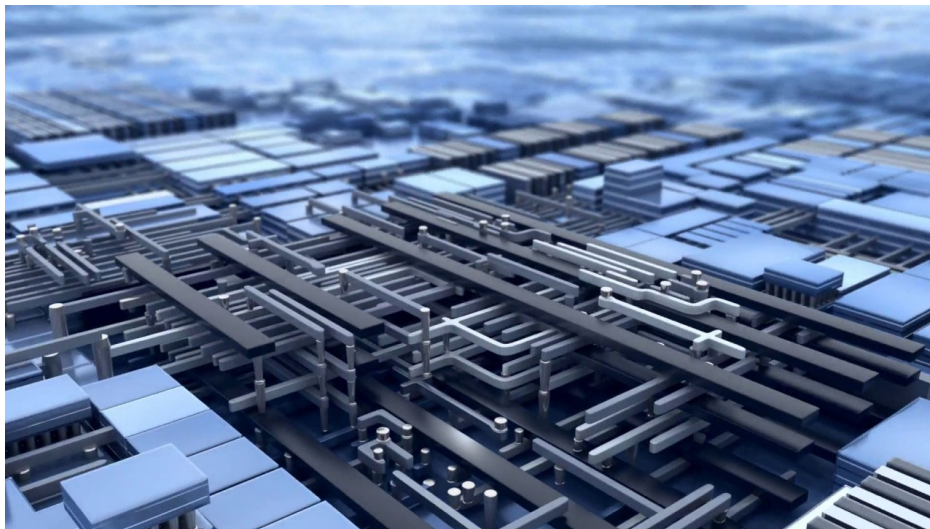


7 слоев
металлизации
(провода,
попавшие в
срез)

б)



в)



г)

Рис.2.3. Кристалл интегральной схемы с компонентами. Фото с электронного микроскопа: а - вид сверху; б - разрез; в - современный микропроцессор; г - внутренний вид микросхемы Apple A8 – компьютерная инсталляция [11,12]

Для установки микросхем на плате сначала размечаются позиции их расположения и места пролегания соединяющих проводов. Потом производится нанесение проводов на плату в виде

«печатного монтажа», когда провода практически впечатываются в поверхность платы. После того, как плата готова, на нее устанавливают микросхемы (см. рис.2.4).

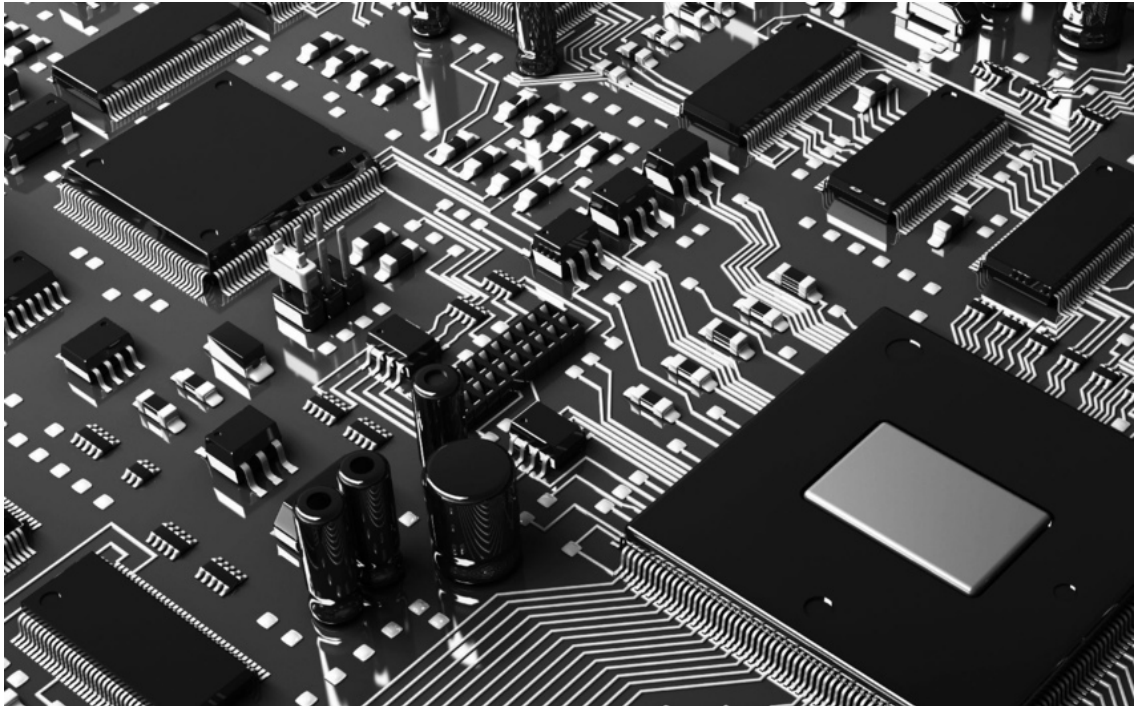


Рис.2.4. Плата с проводами, выполненными с помощью печатного монтажа, и установленными на нее микросхемами [13]

Так как при производстве электронных устройств стремятся к сокращению габаритов, то для печатного монтажа используют обе стороны платы. Если обеих поверхностей не хватает, то возможно изготовление многослойных печатных плат, в которых печатный монтаж выполняется также и на внутренних слоях.

2.3. Серии микросхем

Цифровые микросхемы отличаются внутренней схемотехникой и технологией производства. Поэтому все множество интегральных микросхем делится на серии. Под серией понимают совокупность типов ИС, которые могут выполнять различные функции, но имеют единое конструктивно-технологическое исполнение и предназначены для совместного использования.

Все микросхемы, входящие в одну серию, имеют один тип внутренней электронной схемы (ТТЛ, ЭСЛ, МОП, КМОП и др.), один

тип корпуса, одинаковые напряжения питания, напряжения логического **0** и логической **1**, показатели надежности, быстродействие, потребляемую мощность и проч. Параметры работы микросхем различных серий приводятся в справочниках.

Условное обозначение микросхем состоит из номера серии, функционального назначения, обозначенного буквами, и порядкового номера разработки в данной серии.

Например, запись вида 155ЛА3 означает: микросхема 155 серии, функциональное назначение (ЛА) – логический элемент **И-НЕ**, цифра 3 – третья разработка в серии. Иногда перед номером серии ставится буква **К**, например, К155ЛА3. Это означает, что микросхемы могут использоваться в устройствах широкого применения (гражданские серии). После буквы **К** могут использоваться также буквы **Р** или **М**. Буква **Р** означает, что корпус микросхемы пластмассовый (например, КР1554ИР40), а буква **М** – керамический или стеклокерамический корпус (например, КМ155ЛА8).

Буквенные сокращения, используемые для обозначения функционального назначения внутренних элементов некоторых микросхем, приведены в табл.2.1⁸.

Количество выводов у разных микросхем зависит от сложности внутренней схемы, количества внутренних логических элементов. Например, корпус микросхемы 155ЛА3 имеет 14 выводов (ножек), а микросхемы микропроцессора КР580ВМ80 – 40 выводов, а корпус современного микропроцессора INTEL CORE i-5 –1150 выводов [14].

Если посмотреть на корпус микросхемы, то нельзя однозначно сказать, какой вывод нужно считать первым, чтобы определить порядковые номера остальных.

⁸ Работа многих устройств, приведенных в табл. 2.1, будет рассмотрена ниже.

Функциональное назначение внутренних элементов ИМС

Таблица 2.1

№ п/п	Обозн. функцион. назначения	Внутренние устройства	№ п/п	Обозн. функцион. назначения	Внутренние устройства
1	ЛИ	И	12	ИР	Регистры
2	ЛЛ	ИЛИ	13	ИМ	Сумматоры
3	ЛН	НЕ	14	ИЕ	Счетчики
4	ЛА	И-НЕ	15	ИД	Дешифраторы
5	ЛЕ	ИЛИ-НЕ	16	ИВ	Шифраторы
6	ЛР	И-ИЛИ-НЕ	17	ИА	АЛУ
7	ЛС	И-ИЛИ	18	РУ	ОЗУ
8	ТВ	JK-триггеры	19	РЕ	ПЗУ масочные
9	ТМ	D-триггеры	20	РТ	ПЗУ однокр. прогр.
10	ТР	RS- триггеры	21	РФ	ПЗУ ультрафиол. стир.
11	ТТ	T-триггер	22	РР	ПЗУ многократ. прогр.

Обычно первый вывод отмечают ключом – специальной меткой, нанесенной на корпус ИМС, либо полукруглой/прямоугольной выемкой на поверхности корпуса, либо нанесенным пятном краски, либо особой формой вывода. Счет начинается с ножки номер 1, расположенной слева от ключа, и продолжается против часовой стрелки по периметру корпуса микросхемы. Внешний вид микросхем представлен на рис. 2.5.

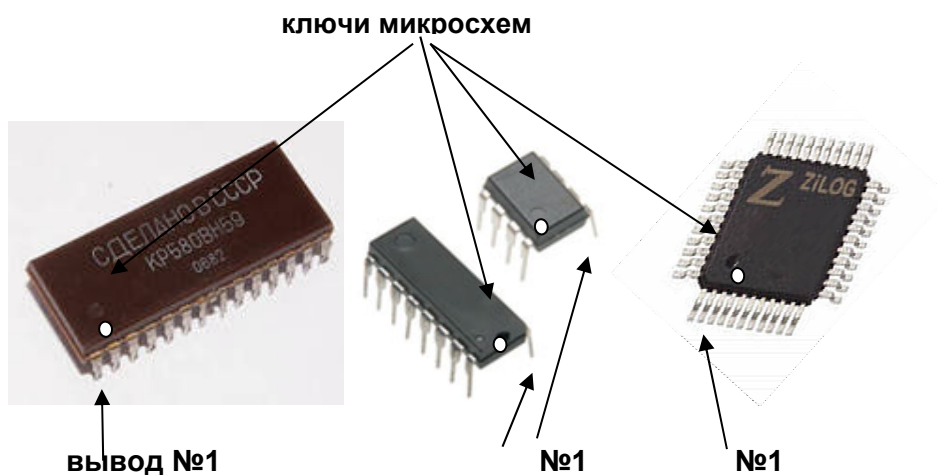


Рис. 2.5. Внешний вид интегральных микросхем и положение вывода №1

Примеры условных обозначений интегральных микросхем малой степени интеграции⁹ различных серий с номерами выводов (контактов) приведены на рис. 2.6.

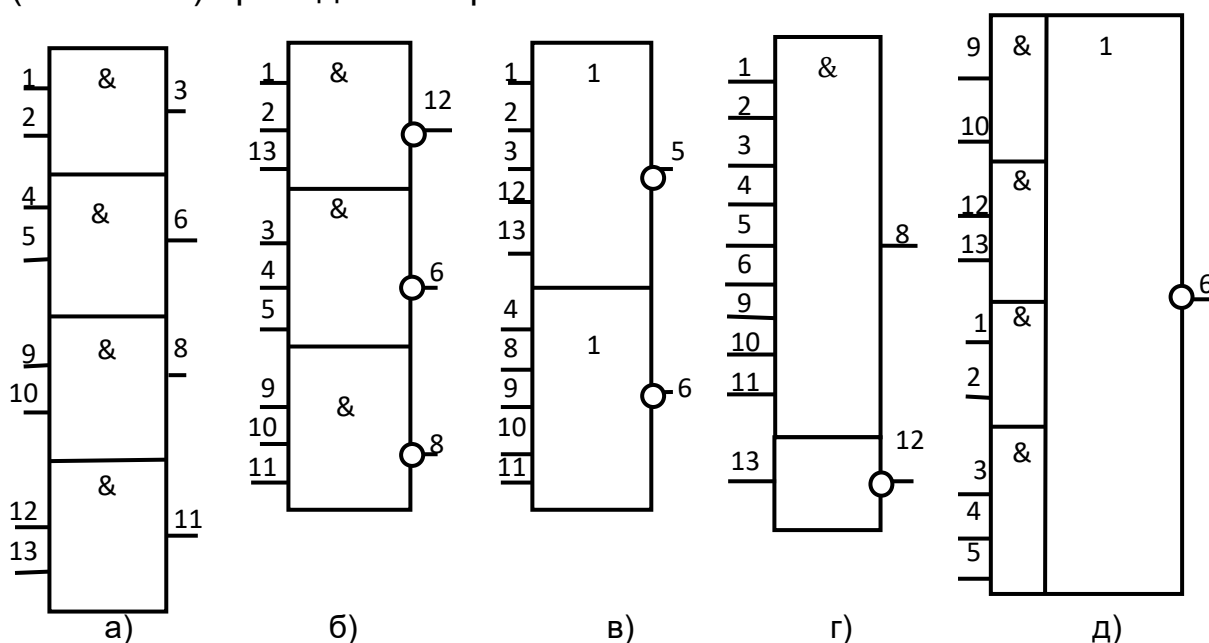


Рис. 2.6. Условное графическое обозначение интегральных микросхем:
а - К133ЛИ1; б - К155ЛА4; в - К531ЛЕ7; г - К176 ЛИ1; д - 555ЛР11

Цифры, проставленные на условных обозначениях – это порядковые номера выводов (ножек) – те самые, которые считаются от ключа. Однако есть выводы, номера которых не обозначаются на условных обозначениях – это выводы для соединения микросхемы с источником питания и общим проводом. Так, обычно у микросхем с 14-ю выводными корпусами не проставляют номера 7 и 14, а у микросхем с 16-ю выводами – номера 8 и 16. Конкретные номера таких выводов определяются по справочнику.

Все логические элементы внутри ИМС работают независимо друг от друга. Информация о разновидностях логических элементов, их количестве внутри ИМС, номерах выводов, технические характеристики работы приводится в справочниках.

Для упрощения описания функционального назначения ИМС в справочниках используются сокращения. Например, запись вида

⁹ ИМС малой степени интеграции содержат до нескольких десятков транзисторов внутри кристалла полупроводника.

Другие примеры условных обозначений микросхем различных серий приведены на рис. 2.8, 2.9, 2.10.

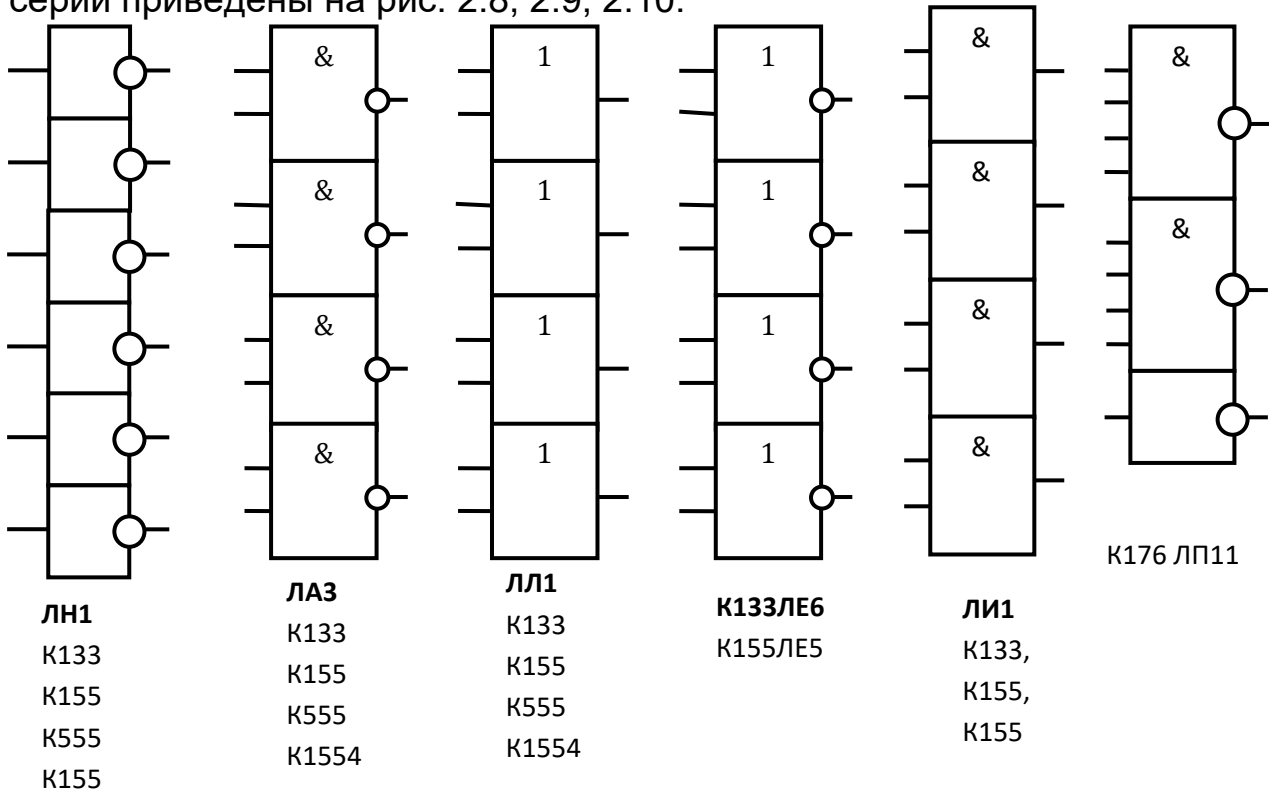


Рис.2.8.ИМС, содержащие внутри 1- и 2-входовые логические элементы, а также два 4-входовых ЛЭ и один инвертор

Из рисунков видно, что некоторые микросхемы, имеющие одинаковые обозначения, представлены в разных сериях.

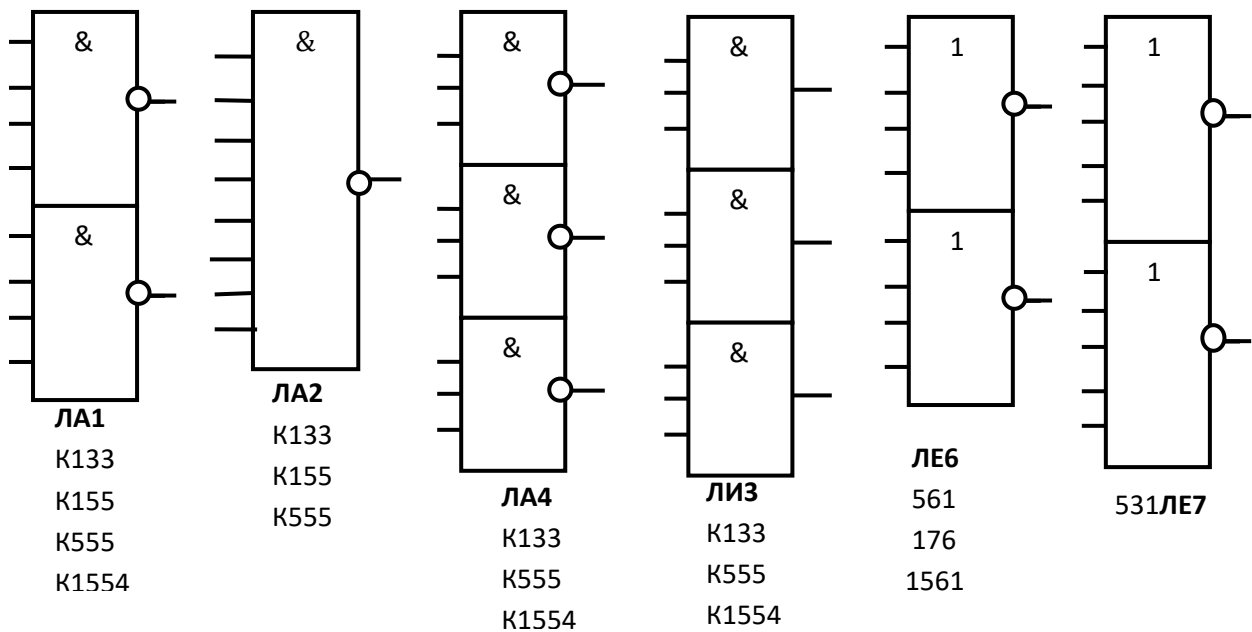


Рис.2.9. ИМС, содержащие трех-, четырех-, пяти- и восьмивходовые логические элементы

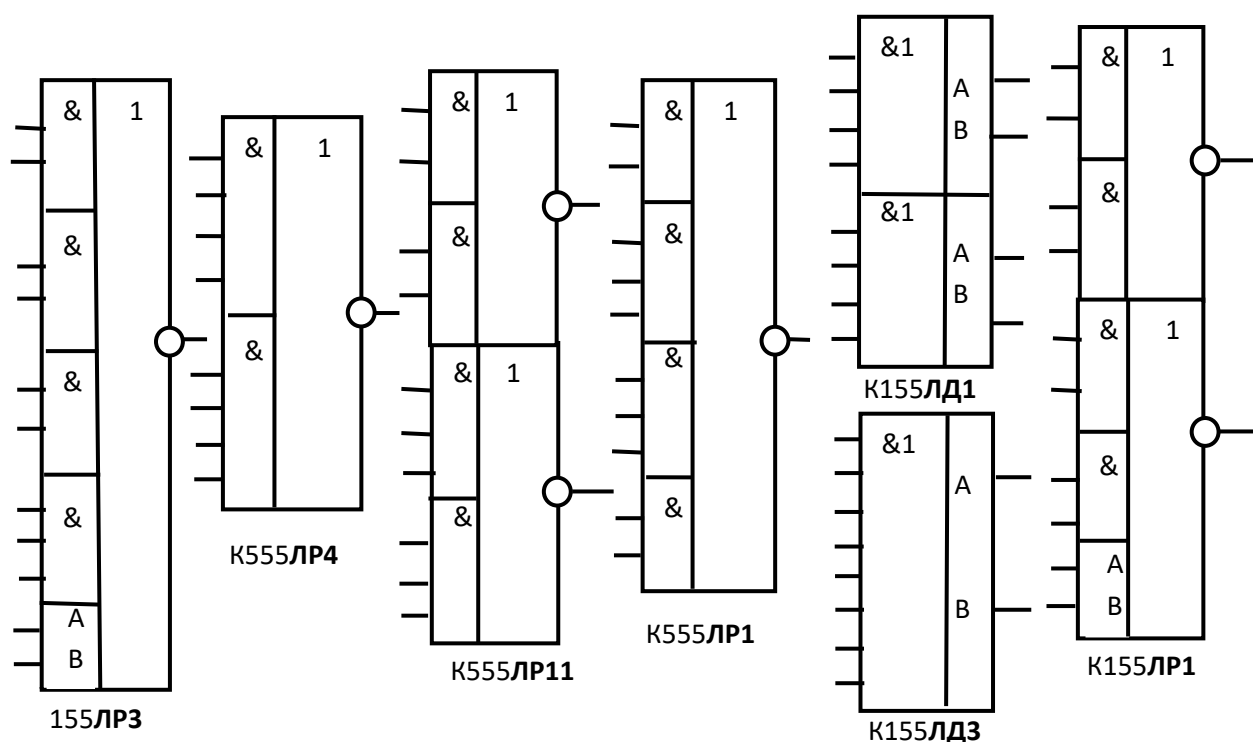


Рис.2.10. Варианты микросхем, выполняющих функции **И-ИЛИ-НЕ**

Для увеличения функциональных возможностей микросхем 155ЛР3, К155ЛР2 предусмотрены дополнительные входы расширения **A** и **B** (рис. 2.10). К ним подключают выходы **A** и **B** микросхем **расширителей по ИЛИ** (К155ЛД1, К155ЛД), которые специально предназначены для выполнения операции **логического умножения** с последующей передачей **результата**. Микросхема, получившая результат операции от расширителя, использует его как слагаемое при выполнении операции **ИЛИ**.

Например, подключение выходов **микросхемы** К155ЛД3 к входам расширения микросхемы К155ЛР1, позволит схеме с дополнительными входами **A** и **B** выполнить функцию **2-2-И-ИЛИ-НЕ**.

При разработке электронных схем обычно стараются пользоваться микросхемами одной серии. Однако это не всегда возможно, так как нет такой серии, в которой представлены все возможные варианты логических элементов. У каждой серии микросхем свои электротехнические показатели работы, поэтому

при разработке схем нужно обязательно учитывать совместимость используемых микросхем.

Совместимость ИМС при работе означает, что микросхемы должны быть согласованы:

- ✓ по уровням напряжений логических **0** и **1**;
- ✓ по токам нагрузки: суммарный ток нагрузок не должен превышать максимально допустимого выходного тока нагружаемой микросхемы (источника логических **0** и **1**);
- ✓ по другим показателям.

Совместимость по уровням напряжений лог. **0** и лог. **1** напрямую связана с величиной напряжения источника питания, разновидностью находящихся внутри транзисторов, их размерами, технологией изготовления и прочими особенностями.

Например, если уровни **0** и **1** у микросхем

- ✓ 155 серии составляют «не более **0,4В**» и «не менее **2,4В**» соответственно;
- ✓ 176 серии «не более **0,3В**» и «не менее **8,2В**» соответственно;
- ✓ серии К500 «**-0,96 ... -0,81В**» и «**-1,85...-1,65В**» соответственно, то такие микросхемы использовать совместно нельзя!

Для согласования несовпадающих уровней логических **0** и **1** некоторых ИМС используются специальные микросхемы – **преобразователи уровней** такие как К561ПУ7 (ПУ8), 564ПУ4 и др.

Примером совместимых серий ИМС ТТЛ являются К133, К155, К555, К531, К1533, а ИМС КМОП - К176, К561, К1561.

При построении схем все используемые ИМС должны быть пронумерованы: над изображением каждой микросхемы записываются буквы DD^{10} , а рядом - порядковый номер.

Для корректной нумерации все изображенные на схеме ИМС условно разбивают на вертикали (рис.2.11 – заштрихованные поля под микросхемами). Счет микросхем начинают с крайней левой вертикали, и ведут сверху вниз. Затем переходят к вертикали,

¹⁰ От англ. *digital device* – цифровое устройство.

расположенной правее, и нумеруют все микросхемы сверху вниз и т.д.

Существует два способа изображения ИМС на схемах.

Первый – когда все ИМС изображаются целиком (рис.2.11,а). Но в этом случае для изображения соединений приходится огибать микросхемы и рисунок получается нагроможденным.

Второй способ – когда внутренние ЛЭ изображаются не слитно, а на расстоянии (рис.2.12). Тогда каждому логическому элементу присваивается свой порядковый номер, который приписывается через точку рядом с номером той ИМС, в состав которой он входит. Логические элементы с их собственными номерами можно располагать в любом месте схемы.

Примеры изображений одной и той же схемы с описанными способами нумерации приведены на рис. 2.11,а и 2.12.

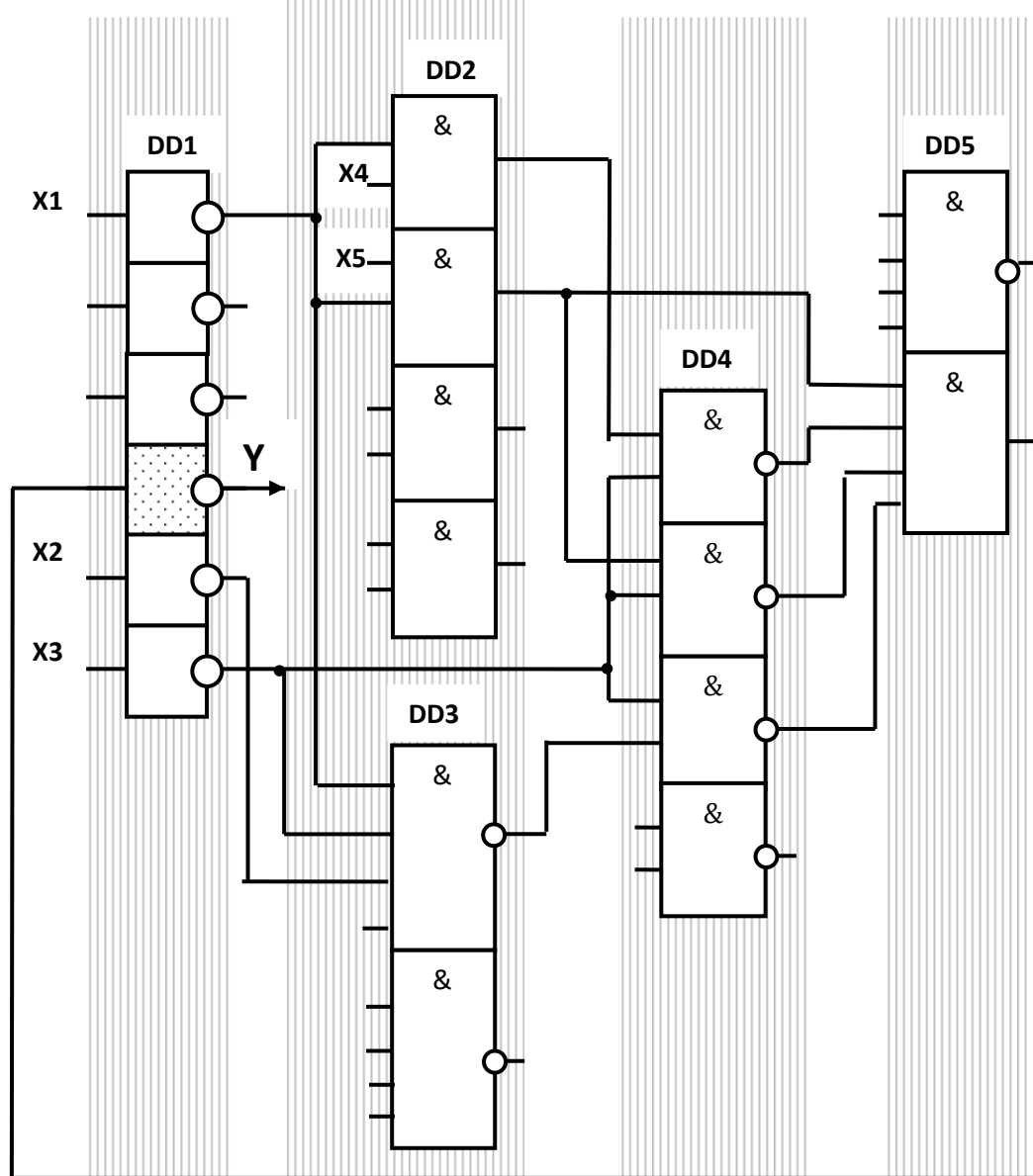
Так, на рисунке 2.11,а изображена ИМС **DD1**, состоящая из 6 инверторов, на рис.2.12 эта же микросхема разбита на отдельные логические элементы: **DD1.1**, **DD1.5** **DD1.4**, **DD1.6** (на рисунке выделены штриховкой).

Построение схем можно выполнять сразу на логических элементах микросхем, разнося их между собой, по примеру рисунка 2.12, однако при проставлении номеров ЛЭ важно не ошибиться с нумерацией – и не пронумеровать несуществующий ЛЭ. Например, в ИМС 155ЛА1 – всего два ЛЭ, а в 155ЛН1 – четыре. На рис.2.12 логические элементы одной микросхемы **DD1** визуально выделены.

К каждой электронной схеме на ИМС прилагается спецификация, в которой указывается, какая именно микросхема подразумевается под конкретным номером (рис.2.11,б).

Спецификация обычно располагается в правом нижнем углу листа со схемой. В поле «Позиционное обозначение» указываются порядковые номера ИМС. В графе «Наименование» - полное наименование микросхемы из справочника. В графе «Примечание» - дополнительные сведения, если это необходимо.

При использовании в схеме нескольких одинаковых микросхем (см. рис. 2.11,а – **DD3** и **DD5**) в графе «Поз. обозначение» указываются их номера через запятую, затем заполняются остальные поля (см. рис.2.11,б).



а)

Поз. обозн.	Наименование	Количество	Примечание
DD1	Микросхема К155ЛН1	1	
DD2	Микросхема К155ЛИ1	1	
DD3, DD5	Микросхема К155ЛА1	2	
DD4	Микросхема К155ЛА3	1	

б)

Рис.2.11. Оформление схем: а - пример изображения схемы, построенной на ИМС; б - пример заполнения спецификации

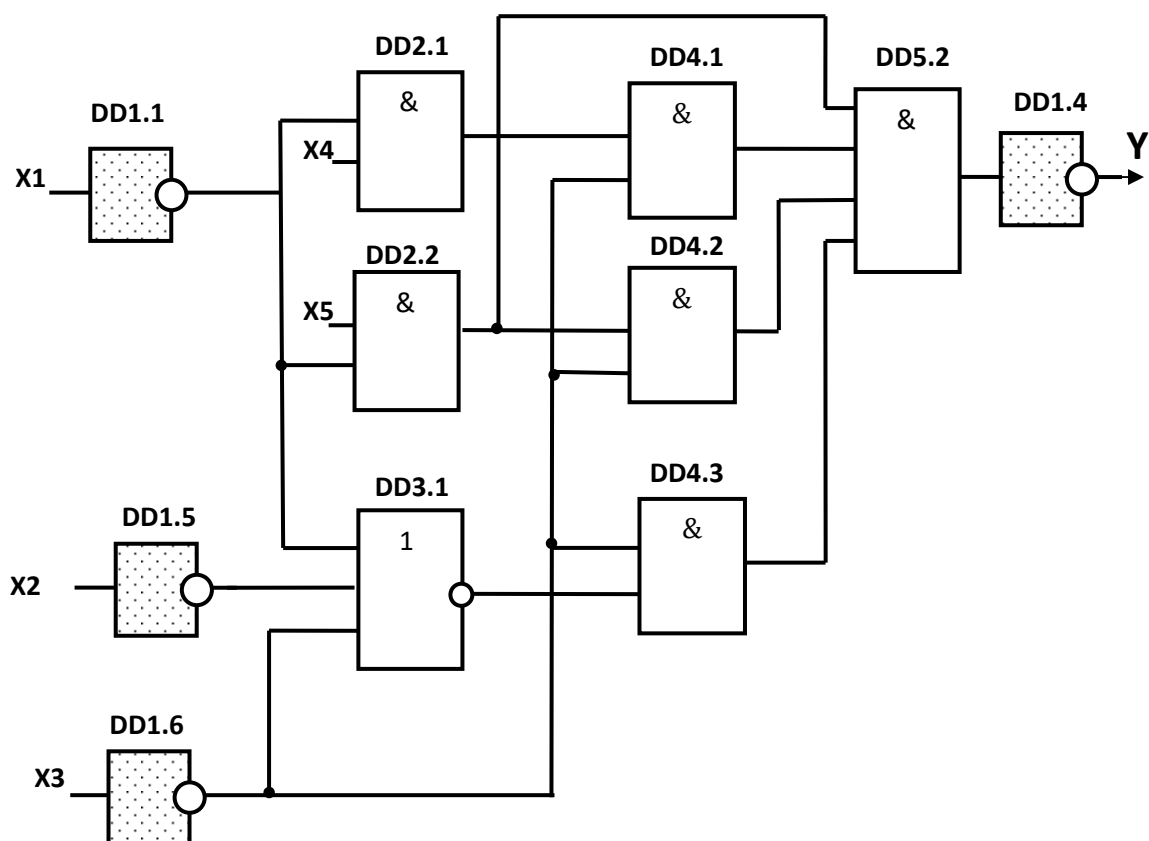


Рис.2.12. Построение схемы на ИМС, логические элементы которых на изображении разнесены

У каждого логического элемента микросхемы есть свое время срабатывания (время задержки) – это временной интервал между приходом входных и появлением выходных сигналов. Время задержки при переключении ИМС из **0** в **1** и из **1** в **0** не равны. Поэтому для вычисления времени срабатывания ИМС пользуются средним значением:

$$t_{\text{срб.}} = (t^{1,0} + t^{0,1}) / 2.$$

Расчет быстродействия разработанной схемы легче производить по схеме с полными изображениями ИМС (см. рис.2.11,а). Из рисунка видно, что схема состоит из 4-х вертикалей. Сначала срабатывает *DD1*, затем *DD2* и *DD3* – одновременно, затем последовательно *DD4* и *DD5* и в конце срабатывает еще раз *DD1*. Быстродействие схемы состоит из времени срабатывания всех звеньев цепи:

$$T = t_{\text{срб.}}.DD1 + t_{\text{срб.}}.DD2 + t_{\text{срб.}}.DD4 + t_{\text{срб.}}.DD5 + t_{\text{срб.}}.DD1. \quad (2.1)$$

Для ИМС, работающих параллельно, при расчете общего времени используется больший показатель времени срабатывания. Так, формула (2.1) приведена в предположении, что $t_{срб. DD2} > t_{срб. DD3}$.

2.4. Входы и выходы микросхем

При разработке схем на цифровых микросхемах логические элементы воспринимаются как «черные ящики», внутреннее устройство которых можно не учитывать. Однако нужно представлять, будет ли микросхема выполнять свою основную функцию.

Входы всех микросхем имеют бесконечно большое сопротивление, не влияющее на подключенные к нему выходы [7]. Главное, чтобы логические уровни напряжений соответствовали допустимым параметрам. Особая ситуация – это наличие незадействованных (неиспользованных) входов.

Если **не задействованы входы ТТЛ** микросхем, то на них формируется напряжение, которое может восприниматься логической **1**. Если уровень логической **1** на входы ТТЛ микросхем подавать принудительно, то обязательно использование резистора 1кОм при подключении к источнику питания, которого достаточно на 20 входов [7].

Если **не задействованы входы КМОП** микросхем, то уровень напряжения на них может восприниматься и как логический **0**, и как логическая **1**. Поэтому на свободный вход нужно **принудительно подавать тот уровень** напряжения, который не меняет исполняемую функцию.

Выходы микросхем, в отличие от входов, имеют особенности, которые надо учитывать при построении схем. Существуют три разновидности выходов:

- 1) выход стандартный или выход с двумя состояниями (обозначается 2С или, реже, ТТЛ);
- 2) выход с открытым коллектором (обозначается ОК);

3) выход с тремя состояниями или с возможностью отключения (обозначается 3С или Z).

Стандартный выход (2С) имеет два состояния: **0** и **1**. Такой выход можно считать состоящим из двух выключателей, которые замыкаются по очереди на **0** и на **1** (рис.2.13а). Замкнутому верхнему состоянию выключателя соответствует логическая **1** на выходе (выход подключается к источнику питания), а замкнутому нижнему состоянию – логический **0** (выход подключается к Земле – показано на рисунке).

Выход с открытым коллектором ОК тоже имеет два возможных состояния, одно из них – это состояние логического **0**, а второе – выход отключен. Для использования этого состояния в качестве логической **1** подключают нагрузочный резистор R порядка сотен Ом (рис.2.13,б) между выходом микросхемы с ОК и источником питания.

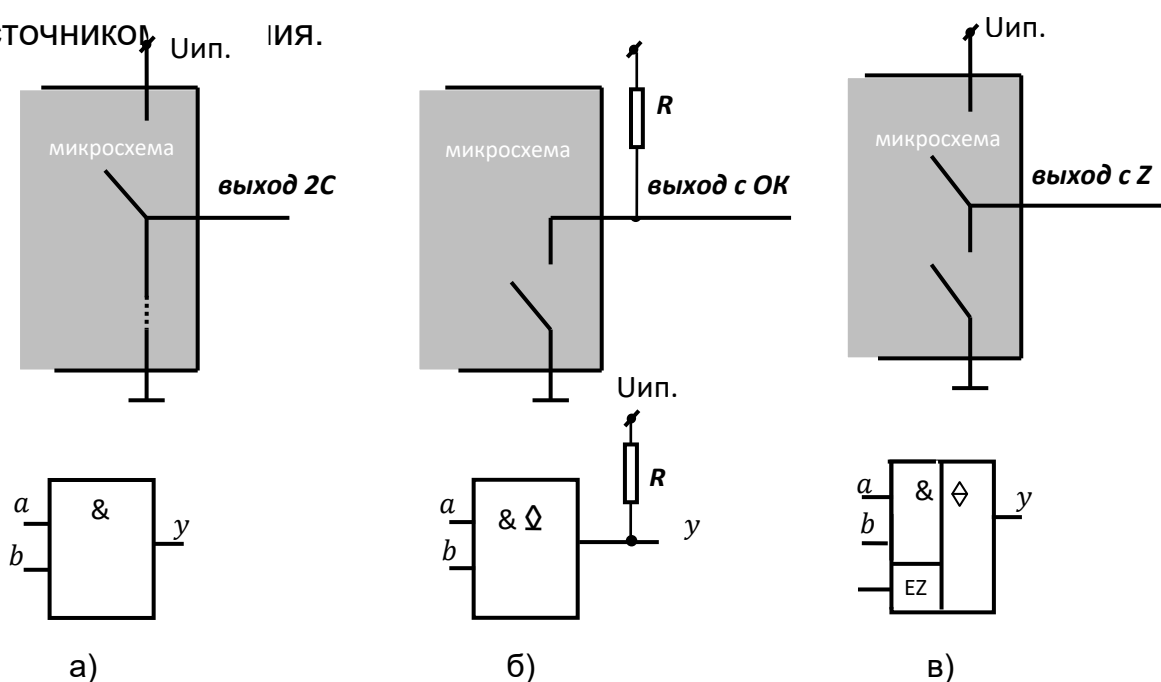


Рис.2.13. Выходы микросхем и их изображение на условных обозначениях на примере ЛЭ И: а - стандартный; б - с общим коллектором; в - с Z-состоянием

Такой выход можно считать состоящим из одного выключателя (рис.2.13,б), замкнутое состояние которого соответствует логическому **0** на выходе, а разомкнутое — отключенному состоянию.

Выход с тремя состояниями – похож на стандартный, но к двум состояниям добавляется еще и третье — при котором выход можно считать отключенным от последующей схемы. Такой выход можно считать состоящим из двух переключателей, которые могут замыкаться по очереди, давая на выходе то **0**, то **1**, но могут быть и одновременно разомкнутыми (рис.2.13,в). Это третье состояние называется высокоимпедансным или Z-состоянием и используется там, где несколько источников сигналов по очереди подключаются к входам одного или нескольких источников. Для перевода выхода в третье – Z-состояние – у микросхем используется специальный управляющий вход, обозначаемый EZ или OE¹¹.

Интегральная схема (ИС) – кристалл полупроводника с расположенным в нем электронным устройством, компоненты которого выполнены по интегральной технологии одновременно в едином технологическом процессе.

Интегральная микросхема (ИМС) - ИС, заключенная в корпус.

ИМС, входящие в одну серию, имеют: один тип корпуса, одинаковые напряжения питания, уровни напряжения логического 0 и логической 1, показатели надежности, быстродействие и проч.

Номера выводов ИМС:

- ✓ на схемах проставляются цифрами над выводами рядом с изображением корпуса;
- ✓ на корпусе **считаются против часовой** стрелки, начиная с вывода №1, расположенного **слева от ключа**.

Подключение ИМС к Епит. и общему проводу:

- ✓ на схемах не изображается.

Совместимость ИМС различных серий должна обязательно учитываться при разработке схем.

¹¹ От англ. *Output Enable* — разрешение выхода.

2.5. Построение схем в базисе

Существуют наборы логических операций, с помощью которых можно задать любые другие сложные логические функции. Такие наборы операций называются или функционально полными системами логических функций или базисом [1].

Например, логическое выражение любой сложности может быть представлено через функции **И**, **ИЛИ** и **НЕ**. Этот набор операций образует функционально полную систему или базис, т.е. по любому выражению можно построить электронную схему устройства, состоящую всего из трех видов логических элементов: **И**, **ИЛИ** и **НЕ**.

Последовательно, исключая из базиса функции, можно получить так называемый **минимальный базис**. Под минимальным базисом¹² понимают такой набор функций, исключение из которого любой функции превращает полную систему функций в неполную.

Функционально полным набором является также и набор, состоящий из двух функций, **ИЛИ** и **НЕ**. В этом наборе не хватает операции **И**, которая легко получается через операции **ИЛИ** и **НЕ** путем преобразований вида:

$$ab = \overline{\overline{ab}} = \overline{\overline{a} + \overline{b}}.$$

Базис **ИЛИ** и **НЕ** следует считать минимальным, так как исключение из него хотя бы одной из функций приведет к тому, что система функций станет неполной.

Аналогично рассуждая, можно сделать вывод о том, что функционально полную систему составляет набор из двух функций **И** и **НЕ**. Операция **ИЛИ** легко получается с помощью функций **И** и **НЕ**:

$$a + b = \overline{\overline{a + b}} = \overline{\overline{a} \cdot \overline{b}}.$$

Базис **И** и **НЕ** является тоже минимальным. Функционально полными системами также являются базисы, представленные одной функцией **И-НЕ** и одной функцией **ИЛИ-НЕ**.

¹² В некоторой литературе определения базиса и минимального базиса разнятся.

Построение схем с использованием одного функционально полного набора операций называют **построением схем в базисе**.

Например, имея необходимое количество логических элементов **И-НЕ** или **ИЛИ-НЕ** с требуемым количеством входов можно построить схему, реализующую функцию любой сложности, т.е. любую функцию можно записать в базисе **И-НЕ** или базисе **ИЛИ-НЕ**, преобразовав ее по правилу де Моргана.

Например, пусть задано выражение, реализуемое тремя функциями И, ИЛИ, НЕ

$$Y = X_1X_2\overline{X_3} + \overline{X_1}X_4 + X_2\overline{X_4}$$

Приведем его в базис **И-НЕ**:

$$\begin{aligned} Y &= X_1X_2\overline{X_3} + \overline{X_1}X_4 + X_2\overline{X_4} = \overline{\overline{X_1X_2\overline{X_3}} + \overline{\overline{\overline{X_1}X_4}} + \overline{\overline{\overline{X_2\overline{X_4}}}}} = \\ &= \overline{\overline{X_1X_2\overline{X_3}} \cdot \overline{\overline{X_1}X_4} \cdot \overline{\overline{X_2\overline{X_4}}}} \end{aligned} \quad (2.2)$$

Полученное выражение состоит только из операций **НЕ** и **И-НЕ**. Любая операция **НЕ** может быть получена в соответствии с выражением

$$\overline{X} = \overline{X \cdot X}.$$

Таким образом, схему устройства, реализующего Y по формуле (2.2), можно построить **только на элементах И-НЕ**.

Рассмотрим другое выражение, реализуемое тремя функциями:

$$Y = (X_1 + X_2 + \overline{X_3}) \cdot (\overline{X_1} + X_4) \cdot (X_2 + \overline{X_4}).$$

Приведем его в базис **ИЛИ-НЕ**:

$$\begin{aligned} Y &= (X_1 + X_2 + \overline{X_3}) \cdot (\overline{X_1} + X_4) \cdot (X_2 + \overline{X_4}) = \\ &= \overline{\overline{(X_1 + X_2 + \overline{X_3}) \cdot (\overline{X_1} + X_4) \cdot (X_2 + \overline{X_4})}} = \\ &= \overline{\overline{(X_1 + X_2 + \overline{X_3})} + \overline{\overline{(\overline{X_1} + X_4)}} + \overline{\overline{(X_2 + \overline{X_4})}}}. \end{aligned} \quad (2.3)$$

В полученном выражении только 2 операции: **НЕ** и **ИЛИ-НЕ**. Инверсию **НЕ** можно получить в соответствии с выражением

$$\overline{X} = \overline{X + X}.$$

Поэтому реализовать функцию Y по формуле (2.3) можно **только на элементах ИЛИ-НЕ**.

Рассмотрим, как влияет на реализацию схемы приведение исходной формулы в базис.

Задача 10. Построить схему на логических элементах, реализующую функцию

$$y = \overline{ab} + \bar{c}. \quad (2.4)$$

Решение. При простом построении схемы по формуле (2.4) нужно использовать **три разновидности ЛЭ** (рис.2.14а):

- ✓ один ЛЭ **И-НЕ** - для реализации \overline{ab} ;
- ✓ один элемент **НЕ** - для реализации \bar{c} ;
- ✓ и один элемент **ИЛИ** - для логического сложения \overline{ab} и \bar{c} .

Для реализации такой схемы потребуется 3 ИМС: одна – содержащая элементы **И-НЕ**, вторая – с инверторами, третья – с элементами **ИЛИ**.

Для построения схемы в базисе преобразуем исходную формулу y по правилу де Моргана:

$$y = \overline{ab} + \bar{c} = \overline{\overline{\overline{ab}} + \overline{\overline{\bar{c}}}} = \overline{\overline{ab} \cdot \overline{\bar{c}}} = \overline{a \cdot b \cdot c} \quad (2.5)$$

Из полученной формулы видно, что для реализации y по формуле (2.5) достаточно использовать всего лишь **один трехходовой ЛЭ И** (рис.2.14,б), поэтому будет использована одна ИМС.

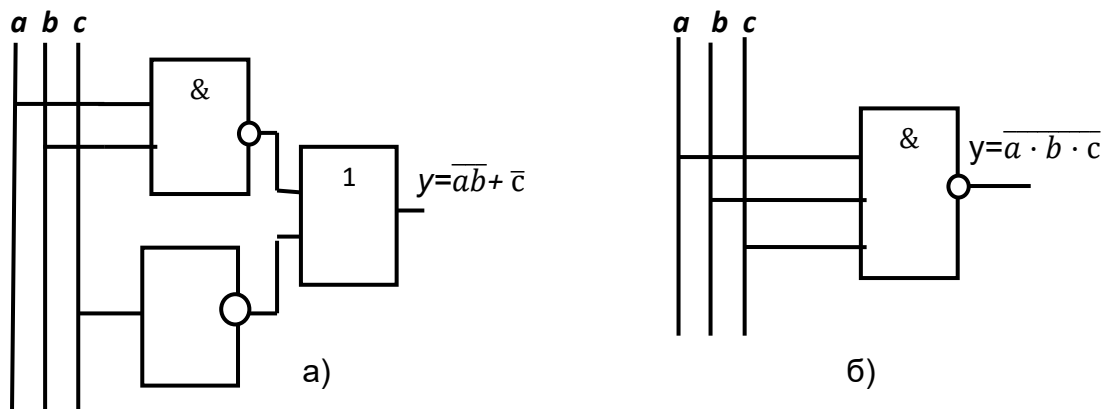


Рис.2.14. Реализация функции $y = \overline{ab} + \bar{c}$ двумя способами: а - простое построение по формуле; б - построение в базисе И-НЕ

Построение схем в базисе позволяет использовать микросхемы с однотипными элементами внутри, что иногда приводит к минимизации использования количества микросхем, а главное часто позволяет использовать микросхемы одной серии.

2.6. Построение схемы неисправности светофора на ИМС

В параграфе 1.4 настоящего пособия было выполнено построение схемы определения нештатной ситуации в работе светофора **на логических элементах**. Построим схему неисправности светофора на конкретных микросхемах одной серии, например 155, в двух вариантах – по формуле и в базисе **И-НЕ**.

В серии 155 представлены различные микросхемы, такие как:

- инверторы 6-НЕ (155ЛН1);
- 4 ЛЭ 2И-НЕ (К155ЛА3);
- 3ЛЭ 3И-НЕ (К155ЛА4);
- 2ЛЭ 4И-НЕ (К155ЛА1);
- 3ЛЭ 3ИЛИ-НЕ (К155ЛЕ4);
- 4ЛЭ 2ИЛИ (К155ЛЛ1);
- 2-2-2-3И-4ИЛИ-НЕ (К155ЛР3) и другие¹³.

Напомним формулу, которую нужно реализовать:

$$y = \bar{a}\bar{b}\bar{c} + ac + bc.$$

Выберем микросхемы, нужные нам для построения схемы из перечня, представленного выше.

Для получения $\bar{a}, \bar{b}, \bar{c}$ используем микросхему К155ЛН1, состоящую из инверторов – **6НЕ**. Для реализации логического умножения $\bar{a}\bar{b}\bar{c}$, ac , bc с последующим сложением результатов можно выбрать несколько вариантов ИМС 155 серии, но руководствуясь принципом минимальности количества используемых ИМС, выберем микросхему К155ЛР3, выполняющую функции **2-2-2-3И-4ИЛИ-НЕ** (см. рис.2.14).

¹³ Перечень всех микросхем, относящихся к одной серии, приводится в справочниках интегральных микросхем.

Для инверсии трех сигналов a, b, c потребуется всего три логических элемента, а в микросхеме К155ЛН1 их шесть (микросхема $DD1$), оставшиеся свободными еще 3 элемента могут быть использованы для других целей.

На выходе $DD2$ (рис.2.15) можно получить только сумму с инверсией, т.е. функцию \bar{y} . Значит, полученный на выходе сигнал нужно проинвертировать. Инверсию выполним на свободном логическом элементе **НЕ** микросхемы $DD1$ (К155ЛН1).

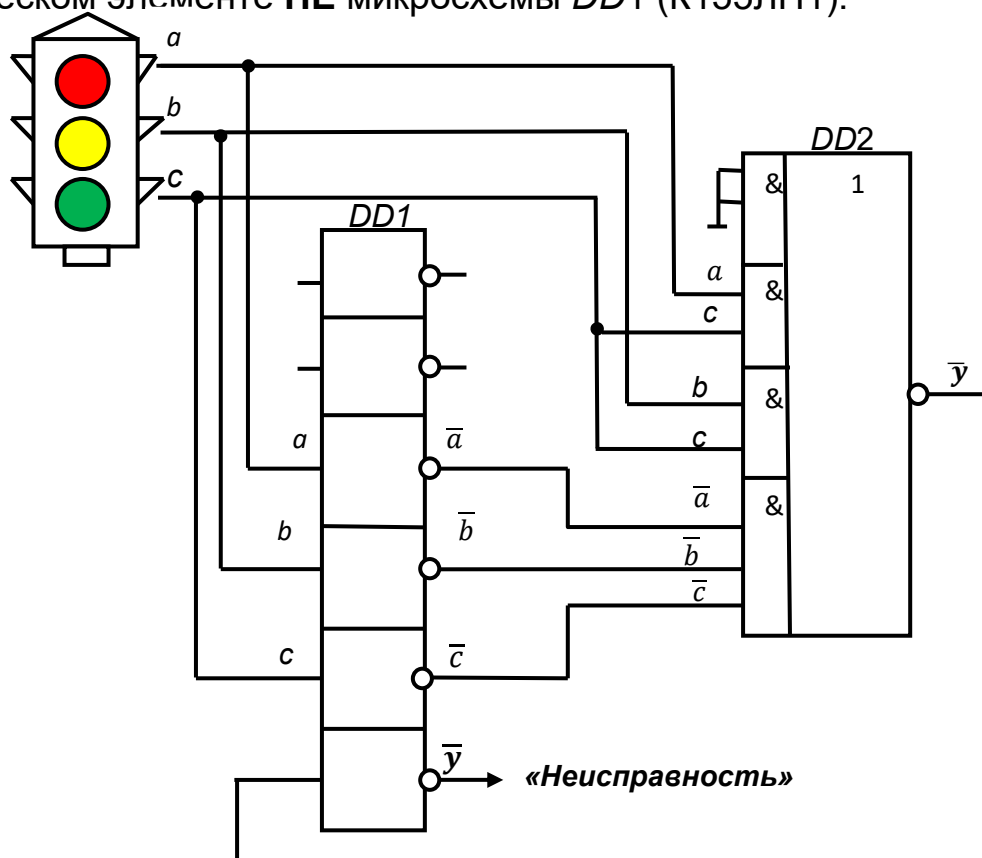


Рис. 2.15. Схема неисправности светофора. Вариант 1 ($DD1$ – микросхема К155ЛН1 и $DD2$ – микросхема К155ЛР3)

Незадействованные входы воспринимаются микросхемами 155 серии так, будто на них подана логическая 1. Поэтому на неиспользованные входы $DD2$ подадим логический 0.

Построим еще один вариант схемы – в базисе **И-НЕ**. Для приведения формулы к базису выполним двойную инверсию над исходным выражением:

$$y = \bar{a}\bar{b}\bar{c} + ac + bc = \overline{\overline{\bar{a}\bar{b}\bar{c}}} + \overline{\overline{ac}} + \overline{\overline{bc}} = \overline{\bar{a}\bar{b}\bar{c}} \cdot \overline{ac} \cdot \overline{bc}. \quad (2.6)$$

Формула приведена к базису, а теперь построим схему в базисе **И-НЕ** (рис.2.16). После построения схем можно сделать вывод о том, какая из схем рациональнее. Для этого нужно выбрать критерий рациональности, например количество использованных ИМС, или быстрдействие, или стоимость и проч.

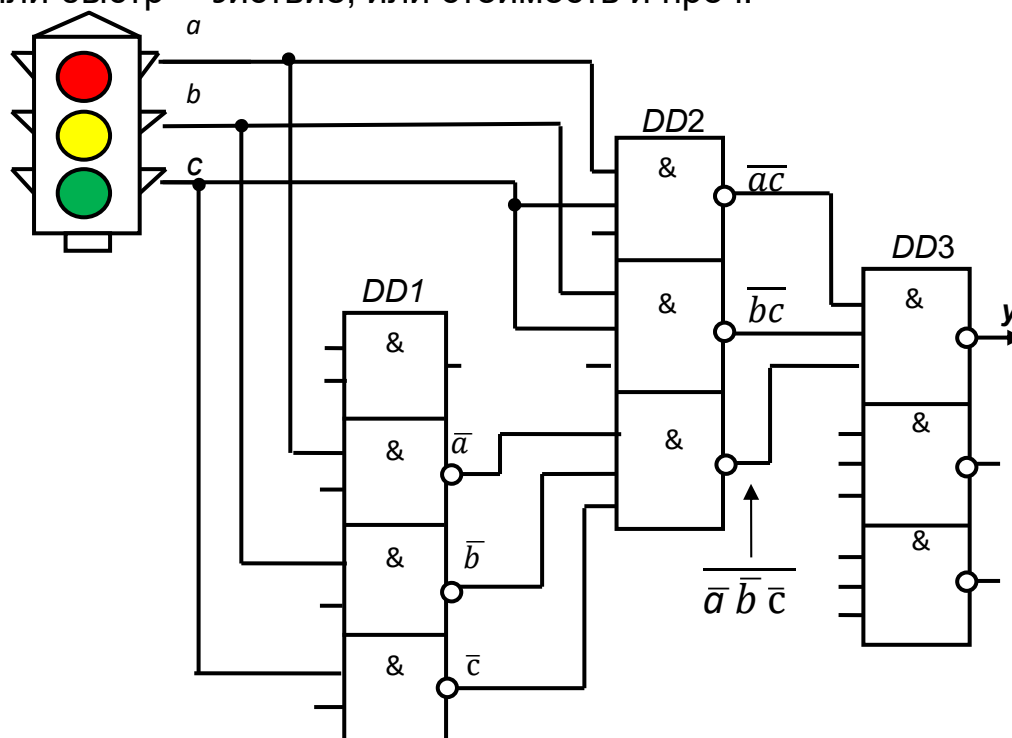


Рис.2.16. Схема неисправности светофора. Вариант 2

Оба варианта схемы построены на ИМС 155 серии, однако в схеме по варианту 1 использовано всего две ИМС, в схеме по варианту 2 – три ИМС.

Спецификации для обоих вариантов схемы неисправности светофора представлены на рис.2.17,а;б.

Поз. обозн.	Наименование	Количество	Примечание
DD1	Микросхема К155ЛН1	1	
DD2	Микросхема К155ЛР3	1	

а)

Поз. обозн.	Наименование	Количество	Примечание
DD1	Микросхема К155ЛА3	1	
DD2, DD3	Микросхема К155ЛА4	2	

б)

Рис.2.17. Спецификации для схем неисправности светофора: а - вариант 1; б - вариант 2

Заключение

Освоение и изучение материала настоящего пособия позволит создать базу знаний для продолжения процесса познания такой увлекательной области знаний, как цифровая схемотехника.

СПИСОК ЛИТЕРАТУРЫ

1. Калабеков, Б.А. Цифровые устройства и микропроцессорные системы/ Б.А. Калабеков. – М.: Горячая линия – Телеком, 2005.-336с.
2. Цифровые интегральные схемы: справочник / М.И. Богданович, и др. – Минск: Беларусь, 1991.
3. Браммер, Ю.А. Цифровые устройства: учеб. пособие для вузов / Ю.А. Браммер, И.Н. Пащук. – М.: Высш. шк., 2004.
4. Лебедев, О.Н. Применение микросхемы памяти в электронных устройствах: справочное пособие / О.Н. Лебедев. – М.: Радио и связь, 1994.
5. Батушев, В. А. Электронные приборы: учебник для вузов / В.А. Батушев. – М.: Высш. шк., 1980.
6. Справочник по интегральным микросхемам /под ред. Б.В. Тарабрина. – М.:Энергия,1985.
7. Новиков, Ю.В. Введение в цифровую схемотехнику /Ю.В. Новиков. — М: Интернет-Университет Информационных Технологий; БИНОМ. Лаборатория знаний, 2007.
8. URL:https://www.cnews.ru/news/top/2019-05-28_intel_nachala_proizvodstvo_dolgozhdannyh_10nanometrovyh
9. URL: <https://ru.wikipedia.org/wiki/Altera>
10. URL: https://ru.wikipedia.org/wiki/Apple_Silicon
11. URL:https://yandex.ru/images/search?pos=0&img_url=https%3A%2F%2Fwww.opsci.com%2Fresizer%2FSdz3-1YbN1uy2hpn_QaghqCPGeA%3D%2F1200x628%2Fsmart%2Farc-anglerfish-arc2-prod-bonnier.s3.amazonaws.com%2Fpublic%2FBTHCV7S6GBXTKKZYC34RCCWFFU.jpg&text=изображение%20микропроцессора%20под%20электронным%20микроскопом&lr=213&rpt=simage&source=wiz
12. URL:https://pikabu.ru/story/novaya_tekhnologiya_pozvolit_v_100_raz_umenshit_yenergopotreblenie_protssorov_3973174
13. URL:<https://wallpapertag.com/intel-wallpaper>
14. <https://ark.intel.com/content/www/ru/ru/ark/products/75047/intel-core-i5-4670-processor-6m-cache-up-to-3-80-ghz.html>
15. <https://www.qrz.ru/reference/kozak/ttl/ttlh156.shtml>

ПРИЛОЖЕНИЕ

Таблица 1 [6,15]

Электротехнических показателей работы некоторых ИМС¹⁴

№п/п	Тип логики.	№ серии	U _{ип} [В]	U _{вых} ⁰ [В]	U _{вых} ¹ [В]
1	ТТЛ	133	5±5%	0,4	2,4
2	ТТЛ	134	5±10%	0,3 или 0,4	0,3 или 0,4
3	ТТЛ	136	5±5%	0,3	2,4
4	ЭСЛ	137	-5±5%	-1,45...-1,9	-0,7...-0,95
5	ТТЛ	155	5±5%	0,4	2,4
6	ДТЛ	156	5±5%	0,42...0,62	2,55
7	ТТЛ	158	5±5%	0,2	2,4
8	МОП	176	9±5%	0,3	8,2
9	ТТЛ	531	5±5%	0,5	2,4 или 2,7
10	ТТЛ	555	5±5%	0,5	2,7
11	КМОП	561	3...15		
12	КМОП	564	3...15	0,01	4,99 при U _{пит} =5В 9,99 при U _{пит} =10В
13	ТТЛШ	1533	5±10%	0,4 или 0,5	2,4 или 2,5
14	КМОП	1561	3...15	Меньше 0,05В при U _{пит} =5В и U _{вх} ⁰ =0В, U _{вх} ¹ =5В Для других U _{пит} и U _{вх} – см. спр.	Больше 4,95В при U _{пит} =5В и U _{вх} ⁰ =0В, U _{вх} ¹ =5В Для других U _{пит} и U _{вх} – см. спр.

Таблица 2

Логические элементы серий 176, 561, К561, КР1561

№п/п	Назначение ЛЭ	Тип	К176	564	К561	КР1561
1	4-2И-НЕ	ЛА7	+	+	+	
2	2-2И-НЕ	ЛА8	+	+	+	
3	3-3И-НЕ	ЛА9	+	+	+	+
4	4-2ИЛИ-НЕ	ЛЕ5	+	+	+	+
5	2-4ИЛИ-НЕ	ЛЕ6	+	+	+	+
6	3-3ИЛИ-НЕ	ЛИ10	+	+	+	+
7	2ЛЭ: 1-9И и 1НЕ	ЛИ1	+			+
8	4-2И	ЛИ2				+
9	6-НЕ	ЛН1		+	+	
10	6-НЕ	ЛН2	+	+	+	
11	4-2 сумма по мод.2	ЛП2	+	+	+	
12	2-3ИЛИ-НЕ и 1НЕ	ЛП4	+			
13	2-4ИЛИ-НЕ и 1НЕ	ЛП11	+			
14	2-4И-НЕ и 1НЕ	ЛП12	+			

¹⁴ Если в табл. 1 указан разброс параметра, это означает, что для разных ИМС этой серии параметры отличаются и для конкретизации нужно смотреть справочные данные для конкретной ИМС.

Продолжение прил. 1

Таблица 3

**Логические элементы серий К133, К155, К531, К555, К1554, К1533
совместимых по входам и выходам**

№ п/п	Логическ. функция	Назначение	Тип	К133	К155	К531	555	1533
1	И-НЕ	2-4И-НЕ	ЛА1	+	+	+	+	+
2		8-И-НЕ	ЛА2	+	+	+	+	
3		4-2И-НЕ	ЛА3	+	+	+	+	+
4		3-3И-НЕ	ЛА4	+	+	+	+	+
5		2-4И-НЕ	ЛА6	+	+		+	+
6		2-4И-НЕ	ЛА7	+	+	+	+	+
7		4-2И-НЕ	ЛА8	+	+			+
8		4-2И-НЕ	ЛА9			+	+	+
9		3-3И-НЕ с ОК	ЛА10	+	+		+	+
10		4-2И-НЕ с ОК	ЛА13		+	+	+	+
11	И	4-2И	ЛИ1	+	+	+	+	+
12		3-3И	ЛИ3	+	+	+	+	+
13		3-3И	ЛИ4				+	+
14		2-4И	ЛИ6		+		+	+
15	НЕ	6-НЕ	ЛН1	+	+	+	+	+
16		6-НЕ с ОК	ЛН2	+	+	+	+	+
17		6-НЕ с ОК	ЛН6		+			
18	ИЛИ	4-2ИЛИ	ЛЛ1	+	+	+	+	+
19	ИЛИ-НЕ	4-2ИЛИ-НЕ	ЛЕ1	+	+	+	+	+
20		ИЛИ-НЕ	ЛЕ3		+			
21		3-3ИЛИ-НЕ	ЛЕ4		+		+	
22		3-3ИЛИ-НЕ	ЛЕ4		+		+	
23		4-2ИЛИ-НЕ	ЛЕ5	+	+			
24		2-5ИЛИ-НЕ	ЛЕ7			+		
25	Сумма по модулю 2	4-2 вх.искл. ИЛИ	ЛП5	+	+	+	+	+
26	И-ИЛИ-НЕ	2-2И-2-3И-2ИЛИ-НЕ	ЛР11				+	
27		2-2И-2ИЛИ-НЕ	ЛР1	+	+			
28		2-2-2-3И-4 ИЛИ-НЕ	ЛР3		+			
29		4-4И-2ИЛИ-НЕ	ЛР4	+	+		+	+
30		3-2-2-2И-4ИЛИ-НЕ	ЛР9			+		

ОГЛАВЛЕНИЕ

ВВЕДЕНИЕ.....	3
Глава 1. ЛОГИЧЕСКИЕ ЭЛЕМЕНТЫ.....	4
1.1. Логическое сложение.....	4
1.2. Логическое умножение.....	8
1.3. Инверсия.....	12
1.4. Логическое сложение с инверсией.....	13
1.5. Логическое умножение с инверсией.....	15
1.6. Сумма по модулю 2 (исключающее ИЛИ).....	16
1.7. Построение схем на ЛЭ по формулам.....	18
1.8. Примеры схемной реализации устройств.....	23
1.9. Построение схем по таблицам состояний.....	30
1.10. Минимизация функций.....	33
Глава 2. ЦИФРОВЫЕ МИКРОСХЕМЫ.....	39
2.1. Интегральные микросхемы	39
2.2. Изготовление ИМС и готовых изделий на них.....	42
2.3. Серии микросхем.....	45
2.4. Входы и выходы микросхем.....	56
2.5. Построение схем в базисе.....	59
2.6. Построение схемы неисправности светофора на ИМС.....	62
ЗАКЛЮЧЕНИЕ.....	65
СПИСОК ЛИТЕРАТУРЫ.....	65
ПРИЛОЖЕНИЕ.....	66
ОГЛАВЛЕНИЕ.....	68