

ГЛАВА 1. ОСНОВЫ МИКРОПРОЦЕССОРНОЙ ТЕХНИКИ

1.1. Логические функции и логические схемы

Логические элементы вместе с запоминающими элементами составляют основу устройств цифровой (дискретной) обработки информации. Логические элементы выполняют простейшие логические операции над цифровой информацией, а запоминающие элементы служат для ее хранения.

Логическая операция преобразует по определенным правилам входную информацию в выходную. Логические элементы чаще всего строят на базе электронных устройств, работающих в ключевом режиме. Поэтому цифровую информацию обычно представляют в двоичной форме, в которой сигналы принимают только два значения: «0» (логический ноль) и «1» (логическая единица), соответствующие двум состояниям ключа.

Логические преобразования двоичных сигналов включают в себя три операции: логическое сложение, логическое умножение и логическое отрицание.

Логическое сложение (дизъюнкция), или операция ИЛИ, обозначается знаками «+» или «V»:

$$F = X_1 + X_2 + X_3 + \dots + X_n.$$

В соответствии с этим выражением на выходе элемента ИЛИ всегда единица, если хотя бы на одном из входов есть единица. Таблица истинности (состояние логических входов при определенных значениях входных сигналов), обозначение на логических схемах (верхнее обозначение дается по российскому ГОСТу, нижнее – в соответствии с евростандартом) и временные диаграммы работы элемента ИЛИ представлены на рис. 1.1.

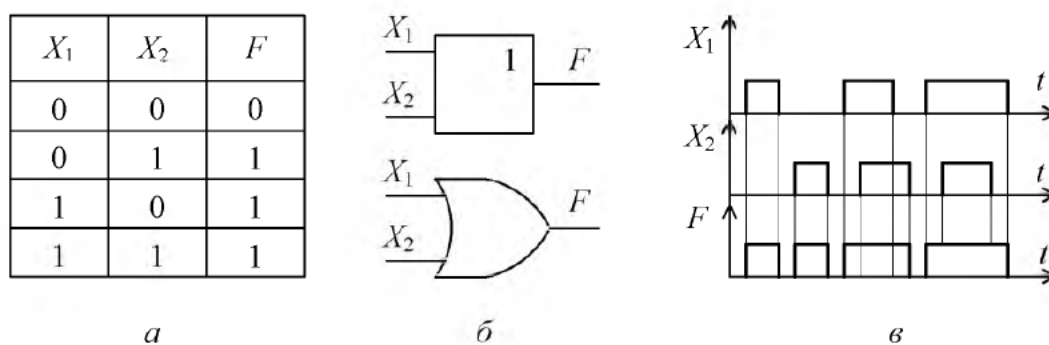


Рис. 1.1. Логический элемент ИЛИ: а – таблица истинности; б – обозначение на логических схемах; в – временные диаграммы

Логическое умножение (конъюнкция), или операция И, обозначается знаками « · », « ∧ » или написанием переменных рядом без знаков разделения:

$$F = X_1 X_2 X_3 \dots X_n.$$

На выходе элемента И всегда нуль, если нуль хотя бы на одном из входов. Таблица истинности, обозначение на логических схемах и временные диаграммы работы элемента И представлены на рис. 1.2.

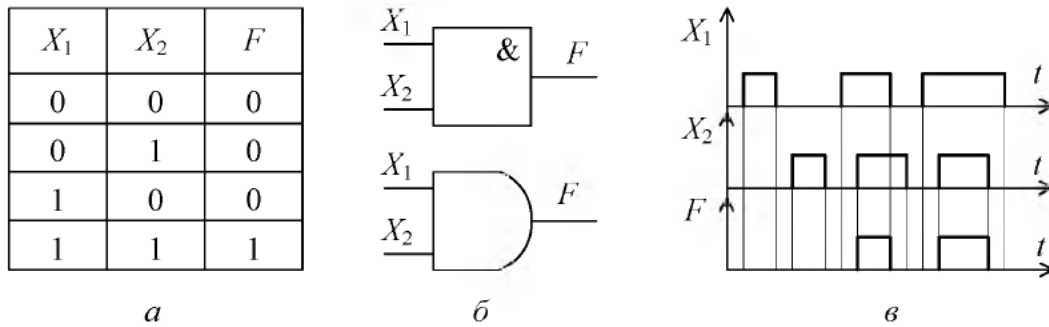


Рис. 1.2. Логический элемент И: *a* – таблица истинности; *b* – обозначение на логических схемах; *в* – временные диаграммы

Логическое отрицание (инверсия), или операция НЕ, обозначаемая чертой над переменной:

$$F = \overline{X}.$$

Выходной сигнал логического элемента НЕ всегда противоположен входному. Таблица истинности, обозначение на логических схемах и временные диаграммы работы элемента НЕ представлены на рис. 1.3.

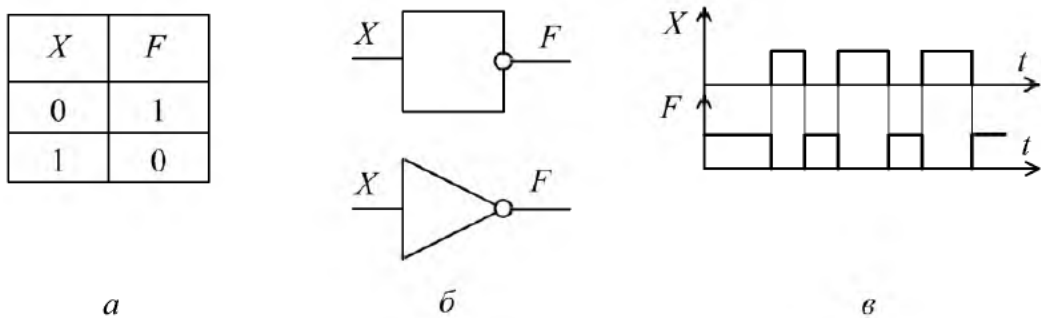


Рис. 1.3. Логический элемент НЕ: *a* – таблица истинности; *b* – обозначение на логических схемах; *в* – временные диаграммы

Логический элемент ИЛИ-НЕ работает на принципе двух логических функций: логического сложения и логического отрицания, при этом вначале формируется выходной сигнал по закону логического сложения, а затем инвертируется. На выходе элемента ИЛИ-НЕ всегда нуль, если единица хотя бы на одном из входов. Таблица истинности, обозначение на логических схемах и временные диаграммы работы элемента ИЛИ-НЕ представлены на рис. 1.4.

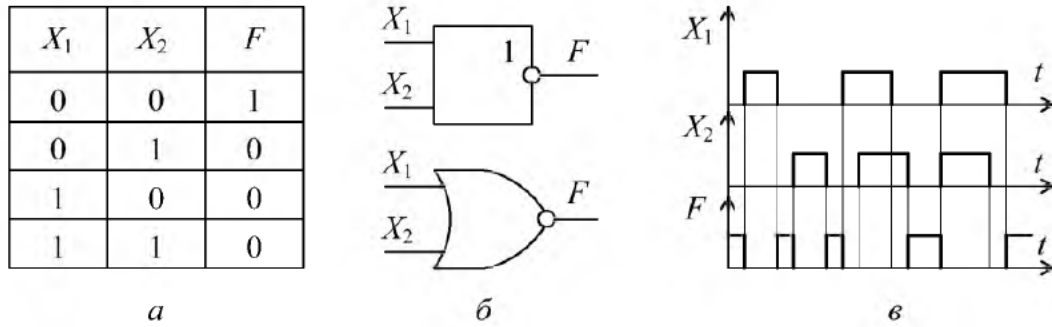


Рис. 1.4. Логический элемент ИЛИ-НЕ: *a* – таблица истинности; *б* – обозначение на логических схемах; *в* – временные диаграммы

Логический элемент И-НЕ работает на принципе двух логических функций: логического умножения и логического отрицания, при этом вначале формируется выходной сигнал по закону логического умножения, а затем инвертируется. На выходе элемента И-НЕ всегда единица, если нуль хотя бы на одном из входов. Таблица истинности, обозначение на логических схемах и временные диаграммы работы элемента И-НЕ представлены на рис. 1.5.

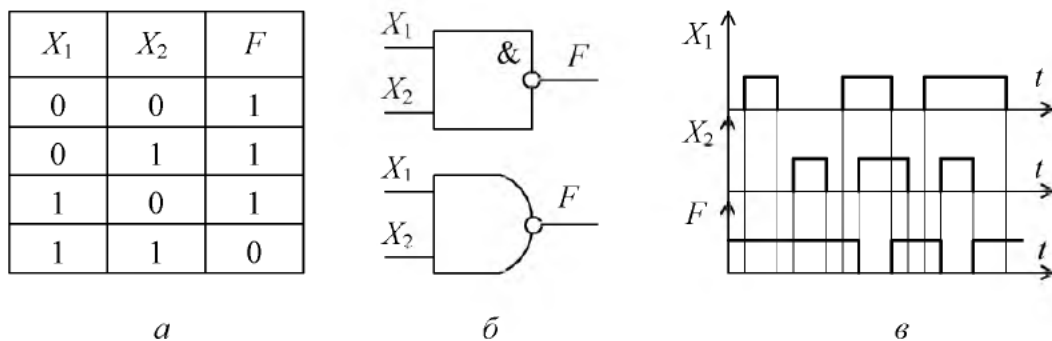


Рис. 1.5. Логический элемент И-НЕ: *a* – таблица истинности; *б* – обозначение на логических схемах; *в* – временные диаграммы

1.2. Триггеры

Триггер – это устройство, имеющее два устойчивых состояния – «1» или «0», которые могут сохраняться сколь угодно долго. Переход из одного состояния в другое может происходить под воздействием управляющих сигналов. Триггер имеет два выхода (прямой Q и инверсный \bar{Q}) и один или несколько входов.

Классификация триггеров:

1) по функциональному назначению:

- RS -триггеры;
- D -триггеры;
- T -триггеры;
- JK -триггеры;

2) по способу управления:

- асинхронные;
- синхронные;

3) по типу входов триггера:

- статические;
- динамические.

Асинхронные триггеры меняют свое состояние по приходу соответствующего управляющего импульса.

Синхронные триггеры изменяют свое состояние при наличии управляющего импульса в момент прихода синхронизирующего (тактового) импульса.

Триггеры с динамическими входами управляются либо фронтом, либо срезом управляющего сигнала, а статические – уровнем сигнала. Условное обозначение входов триггера на логических схемах показано на рис. 1.6.

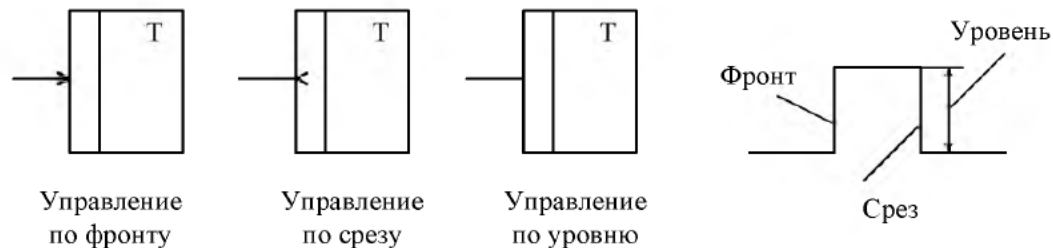


Рис. 1.6. Условное обозначение входов триггера на логических схемах

1.2.1. Триггеры RS -типа

В современной электронике триггеры выполняются в виде микросхем, построенных на основе логических элементов. На рис. 1.7 представлены схемы асинхронного и синхронного RS -триггеров на логических элементах И-НЕ и их условные обозначения.

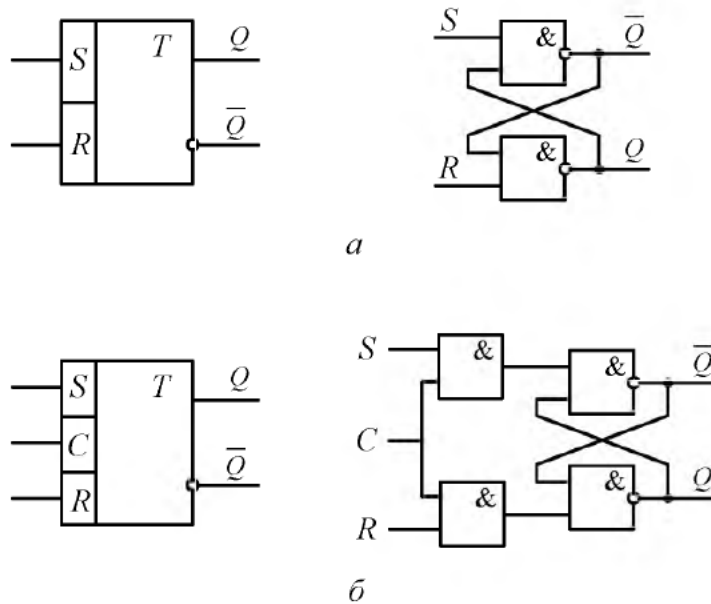


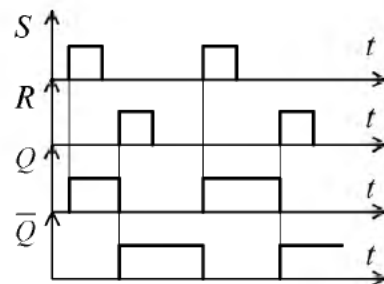
Рис. 1.7. Условное обозначение асинхронного (а) и синхронного (б) RS -триггеров и соответствующие им схемы, выполненные на логических элементах

Для синхронного варианта RS -триггер имеет три входа: S – информационный, C – синхронизирующий и R – вход сброса.

На рис. 1.8 и 1.9 приведены таблицы истинности и временные диаграммы для асинхронного и синхронного RS -триггера соответственно.

S	R	Q	\bar{Q}
0	0	Предыдущее состояние	
0	1	1	0
1	0	0	1
1	1	Запрещенная комбинация	

а



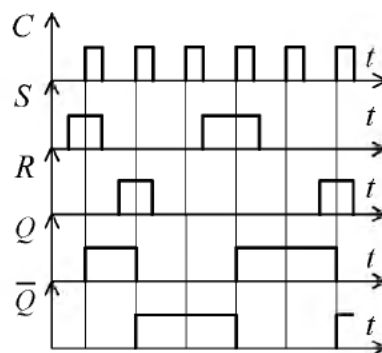
б

Рис. 1.8. Асинхронный RS -триггер: а – таблица истинности, б – временные диаграммы

Согласно таблице истинности (см. рис. 1.8) асинхронный RS -триггер меняет свое состояние в момент прихода управляющего импульса на соответствующий вход. Если на вход S приходит единица, то триггер принимает единичное состояние и на прямом выходе (Q) появляется единица, а на инверсном (\bar{Q}) – нуль. В случае, когда единица приходит на вход R , триггер принимает нулевое состояние и на прямом выходе появляется нуль, а на инверсном – единица. В случае прихода на оба входа нулей триггер не меняет своего состояния. При приходе на входы S и R единицы одновременно триггер может принять неопределенное (неоднозначное) состояние, и такой режим нежелателен.

C	S	R	Q	\bar{Q}
0	1	0	0	1
0	0	1	0	1
1	1	0	1	0
1	0	1	0	1
1	0	0	0	1
1	1	1	Запрещенная комбинация	

a



б

Рис. 1.9. Синхронный RS -триггер: *a* – таблица истинности; *б* – временные диаграммы

Синхронный RS -триггер (см. рис. 1.9) работает как асинхронный только тогда, когда на синхронизирующий вход C подан единичный сигнал. При его отсутствии триггер выведен из работы, т.е. сохраняет свое состояние без изменений.

1.2.2. Триггеры D -типа

Для приема информации по одному входу используются D -триггеры. На рис. 1.10 приведены условное обозначение и схема D -триггера на элементах И-НЕ. Триггер D -типа имеет вход C для подачи тактовых импульсов и информационный вход D .

D -триггер переходит в единичное состояние $Q = 1$, если в момент прихода синхронизирующего импульса $C = 1$ на его информационном входе единичный сигнал $D = 1$. В этом состоянии триггер остается и после окончания сигнала на входе D до прихода очередного синхронизирующего

импульса, возвращающего триггер в нулевое состояние. Таким образом, D -триггер «задерживает» поступающую на его вход информацию на время, равное периоду синхронизирующих сигналов.

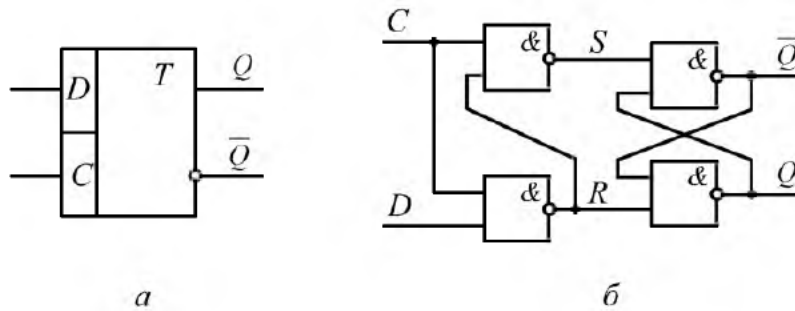


Рис. 1.10. D -триггер на элементах И-НЕ: a – условное обозначение; b – схема

На рис. 1.11 приведена таблица истинности и временные диаграммы работы динамического (по срезу синхронизирующего импульса) D -триггера.

C	D	Q	\bar{Q}
0	0	0	1
1	1	0	1
0	1	1	0
1	1	1	0
0	0	0	1
1	0	0	1

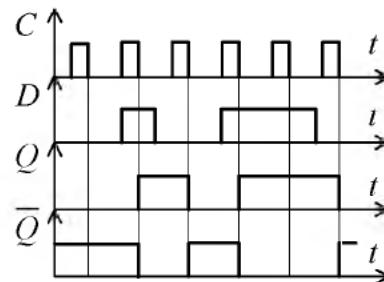


Рис. 1.11. Динамический (по срезу синхронизирующего импульса) D -триггер: a – таблица истинности; b – временные диаграммы

Существует только синхронный триггер D -типа, в связи с чем он получил наибольшее распространение в качестве ячейки памяти для хранения однобитовой информации.

1.2.3. Триггеры T -типа

Триггер T -типа, или счетный триггер, имеет один информационный вход и переходит в противоположное состояние в результате воздействия на его вход каждого очередного сигнала. Название «счетный» (или со «счетным запуском») связано с широким применением T -триггеров в счетчиках импульсов.

На рис. 1.12 приведены условное обозначение T -триггера и схема на элементах И-НЕ.

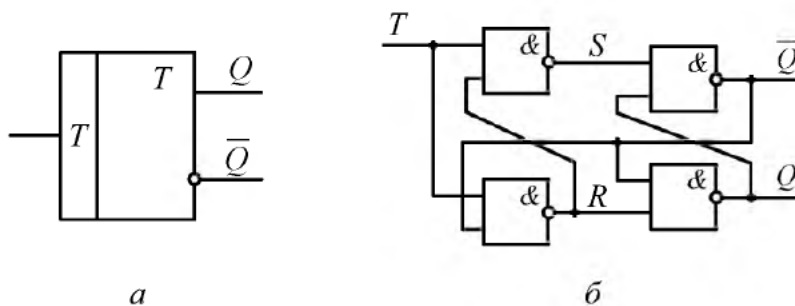
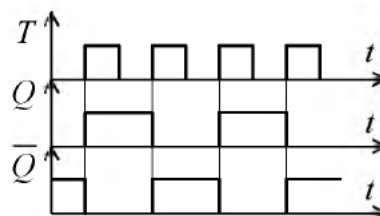


Рис. 1.12. T -триггер на элементах И-НЕ: a – условное обозначение; b – схема

На рис. 1.13 приведена таблица истинности и временные диаграммы работы динамического (по фронту информационного сигнала) T -триггера.

T	Q	\bar{Q}
0	0	1
1	1	0
0	1	0
1	0	1
0	0	1
1	1	0



a

b

Рис. 1.13. Динамический (по фронту информационного сигнала) T -триггер: a – таблица истинности; b – временные диаграммы

1.2.4. Триггеры JK -типа

Триггер JK -типа, или универсальный триггер, имеет информационные входы установки J и сброса K , подобные входам RS -триггера, а также синхронизирующий вход C (рис. 1.14, *а*). В отличие от RS -триггера, JK -триггер допускает ситуацию с одновременной подачей сигналов на оба входа J и K .

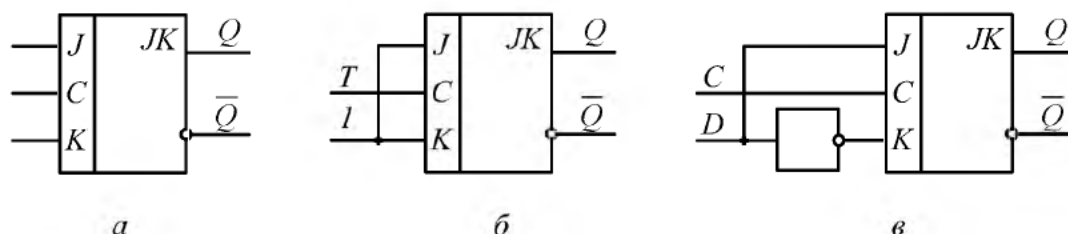


Рис. 1.14. Условное обозначение JK -триггера (*а*), схема T -триггера (*б*) и D -триггера (*в*) на его основе

При $J = 1$ и $K = 1$ триггер меняет свое состояние на противоположное в момент окончания каждого синхронизирующего сигнала. Таким образом, соединяя входы JK -триггера по схеме (рис. 1.14, *б*), получают T -триггер.

При использовании входа J как входа S , а K как R , реализуют синхронный RS -триггер, особенность которого состоит в том, что при комбинации $S = R = 1$, запрещенной для RS -триггера, он переключается на каждый синхронизирующий сигнал. Добавлением инвертора на входе JK -триггера получают D -триггер (рис. 1.14, *в*).

Все типы триггеров, реализуемые на базе JK -триггера, дают задержку в появлении выходного сигнала, равную длительности синхронизирующего сигнала.

1.3. Регистры

Регистром называют устройство, предназначенное для записи и хранения дискретного «слова» – двоичного числа или другой кодовой комбинации.

Основные элементы регистра – двоичные ячейки, в качестве которых применяются триггеры различных типов. Число двоичных ячеек определяется числом двоичных разрядов «слова» (длиной слова), на которое рассчитан регистр.

По способу заполнения регистра информацией различают два типа регистров: параллельный и последовательный.

1.3.1. Параллельный регистр

Параллельные регистры применяются для записи и хранения информации в параллельном коде, т.е. дискретное «слово» может быть записано в регистр или считано из него за один такт.

На рис. 1.15 приведены схема последовательного регистра на триггерах RS -типа и его условное обозначение. Перед записью данных в регистр по шине сброса подается сигнал на обнуление триггеров регистра. После этого данные в ячейки регистра записываются по команде с шины разрешения записи. Тогда сигналы n входов установят в соответствующие состояния триггеры $T_1 - T_n$.

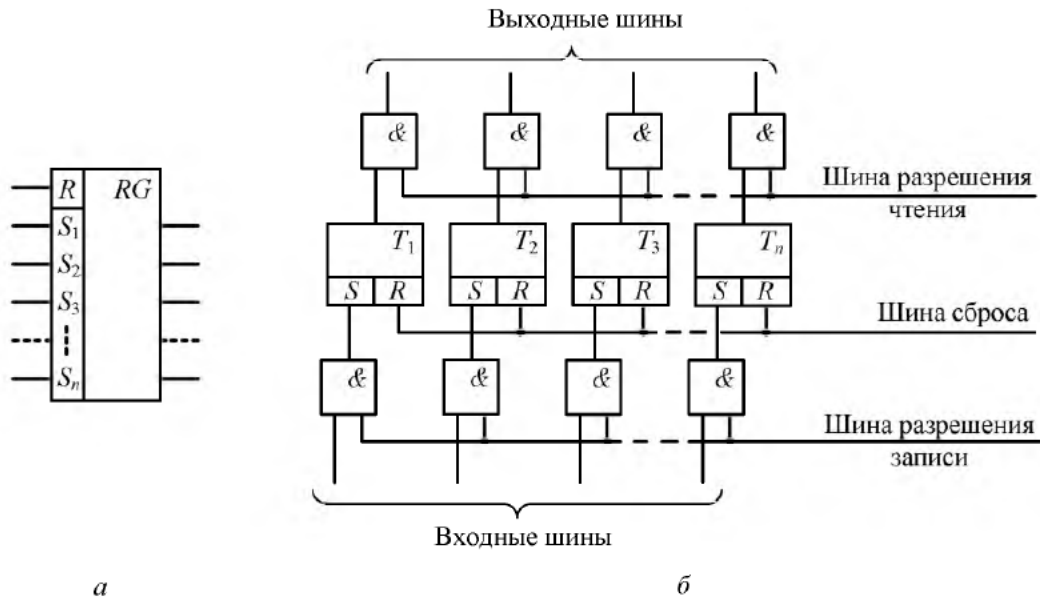


Рис. 1.15. Параллельный регистр: a – условное обозначение; b – схема

На выходе регистра информация появится по команде с шины разрешения чтения, в ее отсутствие на выходах – нули. При считывании информация, записанная в регистре, сохраняется до момента записи новой информации.

1.3.2. Последовательный регистр

Для более экономичной передачи информации применяется последовательный код, когда используется одна линия для последовательной (во времени) передачи комбинации дискретного «слова». Для записи и хранения информации в последовательных кодах используются последовательные регистры (регистры сдвига). На рис. 1.16 приведена схема

последовательного регистра на триггерах D -типа. Здесь информация, поступившая на информационный вход, по окончании каждого синхронизирующего импульса передается («сдвигается») из предыдущего триггера в последующий.

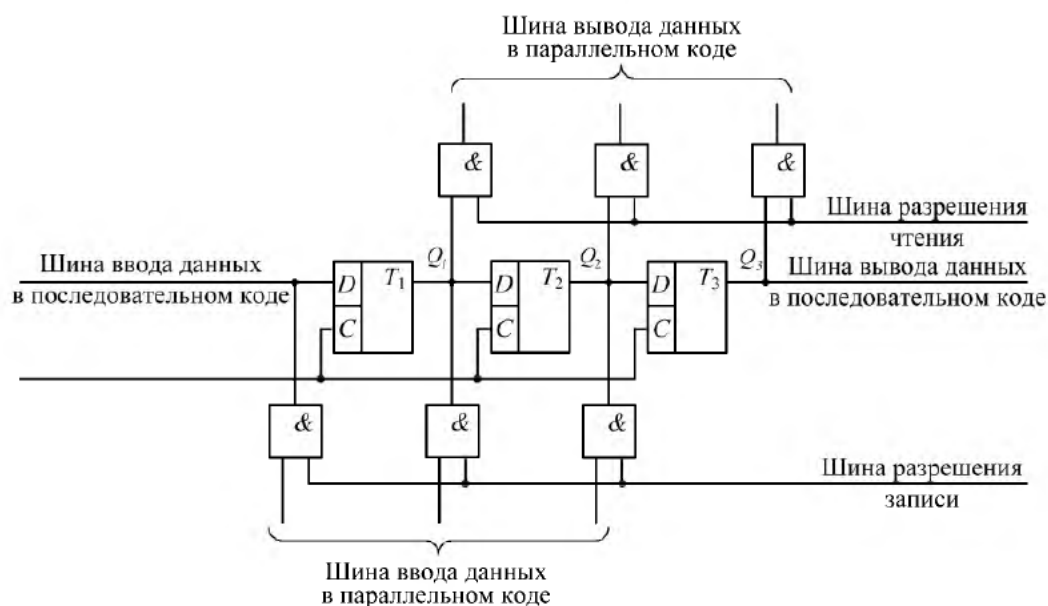


Рис. 1.16. Схема последовательного регистра

Рассмотрим работу последовательного регистра на базе D -триггеров (см. рис. 1.16). Пусть требуется записать в регистр трехразрядное двоичное слово $S = 101$, имеющее разряды $S_1 = 1$, $S_2 = 0$, $S_3 = 1$. При приходе первого тактового импульса при наличии на информационном входе первого триггера единичного сигнала, триггер перейдет в единичное состояние и на его прямом выходе появится единица. При этом остальные триггеры останутся в нулевом состоянии. При приходе следующего тактового импульса триггеры примут состояния в соответствии с состояниями своих информационных входов, т.е. первый триггер изменит свое состояние на нулевое (так как на его информационный вход подан второй разряд двоичного слова), а триггер T_2 перейдет в единичное состояние. Таким образом, произойдет сдвиг информации из первого разряда регистра во второй. При приходе третьего тактового импульса единичный сигнал будет на информационных входах первого и третьего триггеров, а на информационном входе триггера T_2 будет нулевой сигнал. Следовательно, триггеры T_1 и T_3 примут единичное состояние, а триггер T_2 нулевое, и все слово будет записано в регистр.

На рис. 1.17 приведены условное обозначение и временные диаграммы работы последовательного регистра.

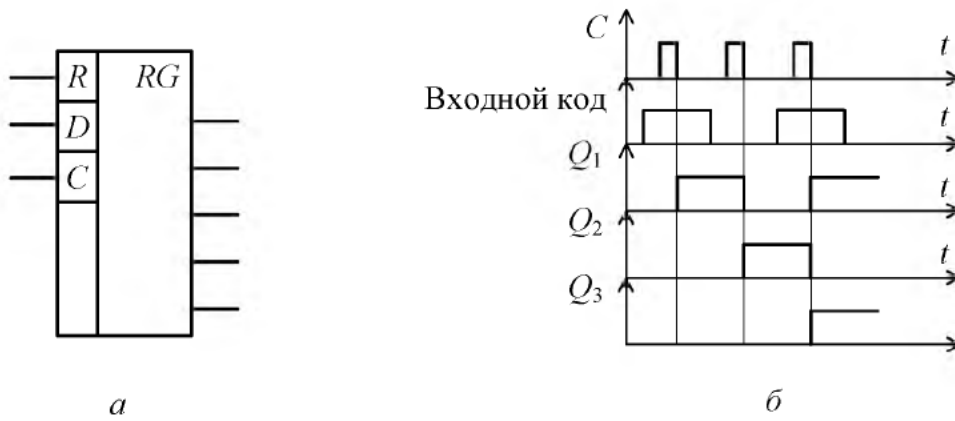


Рис. 1.17. Последовательный регистр: *a* – условное обозначение; *б* – временные диаграммы

Считать информацию из последовательного регистра можно либо в последовательном коде, продвигая информацию через все разряды регистра к выводу, либо в параллельном коде одновременно. Таким образом последовательный регистр может использоваться не только для хранения информации но и для преобразования параллельного кода в последовательный и наоборот.

1.4. Счетчики импульсов

Счетчиком импульсов называют устройство, реализующее счет числа входных импульсов и фиксирующее это число в каком-либо коде.

Обычно счетчики строят на основе триггеров, поэтому счет импульсов ведется в двоичной системе исчисления.

Функциональная схема простейшего двоичного трехразрядного счетчика импульсов представлена на рис. 1.18. Счетчик состоит из трех последовательно соединенных *T*-триггеров, имеющих вход *R* для установки в состояние «0».

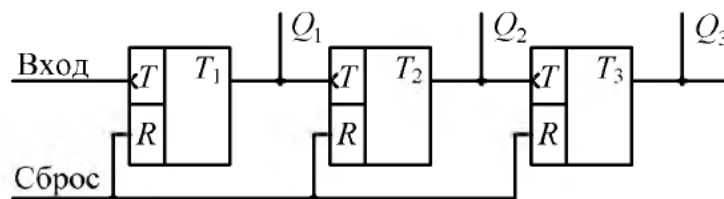


Рис. 1.18. Функциональная схема трехразрядного двоичного счетчика

На рис. 1.19 показаны временные диаграммы счетчика и его обозначение на логических схемах. *CT2* означает двоичный счетчик; выходы 1, 2, 3 – обозначения двоичных разрядов ($2^0 = 1$, $2^1 = 2$, $2^2 = 4$), соответствующие выходам Q_1 , Q_2 , Q_3 схемы, изображенной на рис. 1.18; C_1 – счетный вход; R – установка нуля.

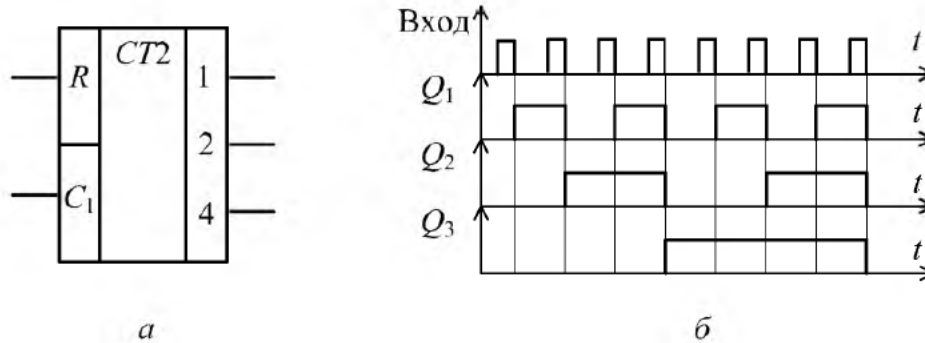


Рис. 1.19. Трехразрядный двоичный счетчик: *a* – условное обозначение; *б* – временные диаграммы

Табл. 1.1 иллюстрирует состояние триггеров. Если в исходном положении все триггеры будут в состоянии «0», то по окончании первого входного импульса триггер T_1 перейдет в состояние «1» ($Q_1 = 1$). По окончании второго входного импульса триггер T_1 переходит в состояние «0» ($Q_1 = 0$). По окончании импульса Q_1 триггер T_2 переходит в состояние «1» ($Q_2 = 1$) и т.д. После восьмого входного импульса все триггеры переходят в состояние «0» и счет повторяется.

Таблица 1.1

Такт	Вход	Q_1	Q_2	Q_3	Такт	Вход	Q_1	Q_2	Q_3
1	1	0	0	0	6	1	1	0	1
	0	1	0	0		0	0	1	1
2	1	1	0	0	7	1	0	1	1
	0	0	1	0		0	1	1	1
3	1	0	1	0	8	1	1	1	1
	0	1	1	0		0	0	0	0
4	1	1	1	0	9	1	0	0	0
	0	0	0	1		0	1	0	0
5	1	0	0	1	10	1	1	0	0
	0	1	0	1		0	0	1	0

Из табл. 1.1 видно, что состояние триггеров отражает число поступивших на вход счетчика импульсов в двоичной системе исчисления (двоичном коде). Общее число возможных состояний N счетчика определяют числом триггеров n : $N = 2^n$. В нашем случае $N = 8$.

1.5. Дешифраторы

Дешифратором (декодером) называют устройство, предназначенное для распознавания различных кодовых комбинаций (слов).

Каждому слову на входе дешифратора соответствует «1» на одном из его выходов. На рис. 1.20 приведено обозначение двухразрядного дешифратора и его функциональная схема, выполненная на элементах И и НЕ, объединенных соответствующими логическими связями.

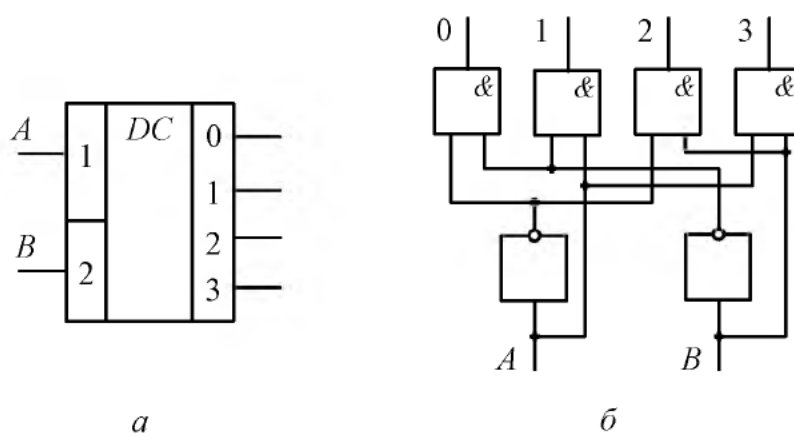


Рис. 1.20. Двухразрядный дешифратор: *а* – условное обозначение; *б* – схема

Логическое состояние выходных каналов в зависимости от кода, подаваемого на дешифратор, приведено в табл. 1.2.

Таблица 1.2

Входной код		Состояние выходов			
<i>B</i>	<i>A</i>	0	1	2	3
0	0	1	0	0	0
0	1	0	1	0	0
1	0	0	0	1	0
1	1	0	0	0	1

Все остальные выходные сигналы будут обнулены, так как на входах их

элементов И будет присутствовать хотя бы по одному нулевому входному сигналу.

Дешифраторы находят разнообразное применение в информационно-измерительной и вычислительной технике. Одно из них – управление световой индикацией. На рис. 1.21, *а* представлена схема счета и отображения числа импульсов. Она состоит из двоичного счетчика *CT2*, который представляет число поступивших на его вход импульсов в двоичном коде, двоичного семисегментного дешифратора *DC*, управляющего транзисторными ключами $T_1 - T_7$, и светодиодного сегментированного индикатора $D_1 - D_7$. Условное обозначение сегментов семисегментного индикатора показано на рис. 1.21, *б*.

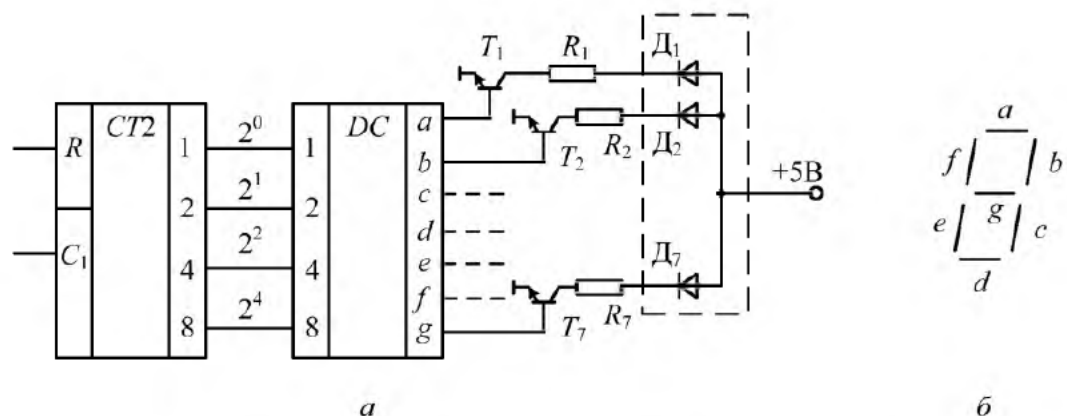


Рис. 1.21. Схема счета и отображения числа импульсов (*а*) и обозначение сегментов (*б*) семисегментного индикатора

Табл. 1.3 иллюстрирует порядок функционирования двоичного семисегментного дешифратора.

Таблица 1.3

Цифра	Двоичный код				Семисегментный выход						
	2^3	2^2	2^1	2^0	<i>a</i>	<i>b</i>	<i>c</i>	<i>d</i>	<i>e</i>	<i>f</i>	<i>g</i>
0	0	0	0	0	1	1	1	1	1	1	0
1	0	0	0	1	0	1	1	0	0	0	0
2	0	0	1	0	1	1	0	1	1	0	1
3	0	0	1	1	1	1	1	1	0	0	1
4	0	1	0	0	0	1	1	0	0	1	1
5	0	1	0	1	1	0	1	1	0	1	1
6	0	1	1	0	1	0	1	1	1	1	1
7	0	1	1	1	1	1	1	0	0	0	0
8	1	0	0	0	1	1	1	1	1	1	1
9	1	0	0	1	1	1	1	1	0	1	1

1.6. Шифраторы

Шифраторы выполняют операцию, обратную по отношению к операции дешифратора: преобразуют номер канала передачи данных в двоичный код. Шифратор имеет определенное количество входов, причем в каждый момент времени только один из них может быть активизирован, в результате этого шифратор формирует N -битовый выходной код, структура которого зависит от того, какой из входов был возбужден.

На рис. 1.22 приведена схема шифратора на семь входов, выполненная на элементах ИЛИ.

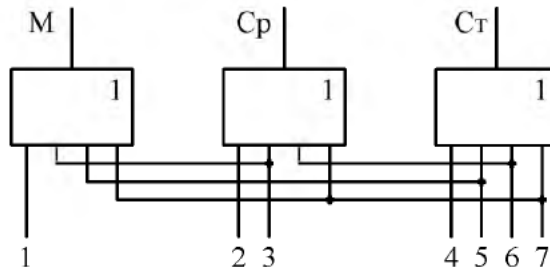


Рис. 1.22. Функциональная схема шифратора на семь входов

Условием правильной работы шифратора является то, что только на одном из входов может быть сигнал высокого уровня.

Если на входах шифратора отсутствует сигнал высокого уровня, то все выходы логических элементов ИЛИ обнулены и шифратор формирует нулевой код. В случае прихода сигнала высокого уровня на второй вход средний элемент ИЛИ принимает единичное состояние, а все остальные остаются в нулевом состоянии. В этом случае формируется выходной код 010. При появлении сигнала высокого уровня на пятом входе шифратор формирует выходной код 101.

Табл. 1.4 поясняет принцип формирования выходного кода в зависимости от активизированного входа.

Таблица 1.4

Номер канала передачи данных							Двоичный код		
1	2	3	4	5	6	7	Ст	Ср	М
1	0	0	0	0	0	0	0	0	1
0	1	0	0	0	0	0	0	1	0
0	0	1	0	0	0	0	0	1	1
0	0	0	1	0	0	0	1	0	0
0	0	0	0	1	0	0	1	0	1
0	0	0	0	0	1	0	1	1	0
0	0	0	0	0	0	1	1	1	1

1.7. Мультиплексоры (селекторы данных)

Мультиплексор, или селектор данных, представляет собой логическую схему, которая принимает несколько цифровых сигналов, выбирает один из них и передает на выход. Передача требуемого сигнала на выход контролируется входами выбора данных.

На рис. 1.23 приведено условное обозначение мультиплексора с четырьмя входами на логических схемах и его функциональная схема.

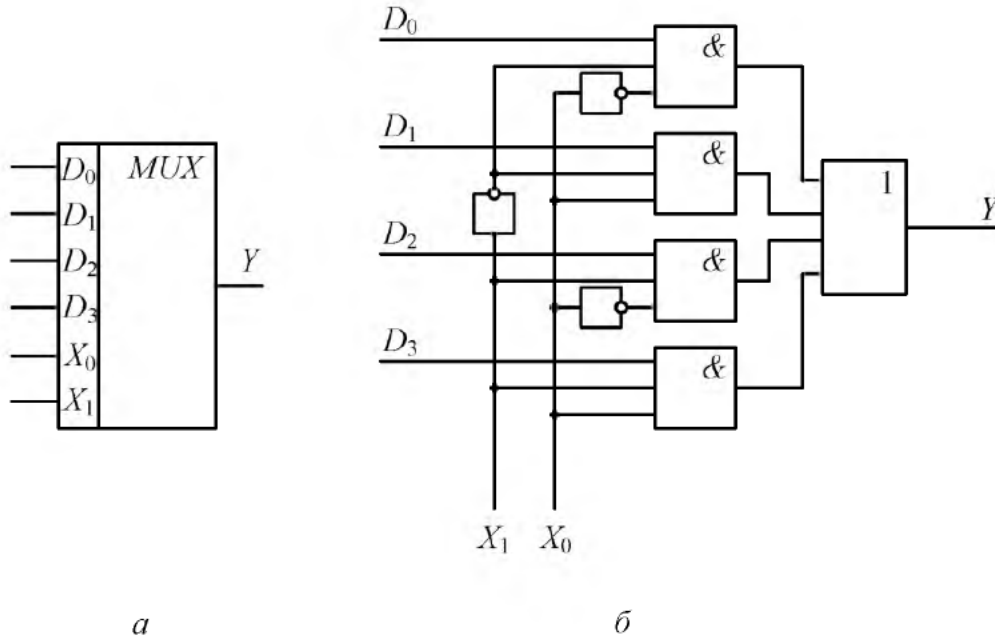


Рис. 1.23. Мультиплексор с четырьмя входами: *a* – условное обозначение; *б* – функциональная схема

Данный мультиплексор имеет четыре канала передачи данных (D_0 , D_1 , D_2 и D_3), информация с которых, в зависимости от комбинации на входах выбора входного канала X_0 и X_1 , передается на выход Y элемента ИЛИ, образующего выходной канал передачи данных. Сигнал с входа D_0 появляется на выходе элемента ИЛИ, только если одновременно $X_0 = 0$ и $X_1 = 0$.

1.8. Распределитель

Распределителем называют устройство, предназначенное для последовательной активизации выходов при каждом тактовом импульсе. Функциональная схема распределителя представлена на рис. 1.24. Основой распределителя является последовательный регистр, прямые выходы которого подключены к элементу ИЛИ-НЕ.

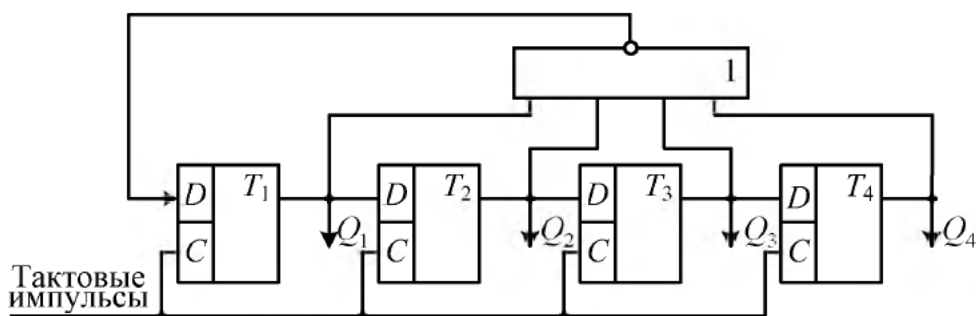


Рис. 1.24. Функциональная схема распределителя с четырьмя выходами

В начальный момент все прямые выходы триггеров последовательного регистра находятся в нулевом состоянии, поэтому на выходе элемента ИЛИ-НЕ присутствует единичный сигнал. Этот сигнал подается на вход младшего триггера регистра. В момент прихода первого тактового импульса младший триггер T_1 примет единичное состояние и на его прямом выходе появится единица, а на выходе элемента ИЛИ-НЕ – нулевой сигнал. Во время прихода второго тактового импульса триггер T_1 примет нулевое состояние, а триггер T_2 – единичное.

Следующие тактовые импульсы будут последовательно перемещать единичный сигнал от триггеров младших разрядов в сторону триггеров старших разрядов. Когда все триггеры регистра будут обнулены, на входе триггера T_1 снова появится единица, которая опять будет последовательно смещаться в сторону старших разрядов.

1.9. Сумматор

Сумматором называют устройство, вычисляющее сумму двух чисел, представленных сигналами на его входах.

Существующие сумматоры можно классифицировать по двум признакам: по способу реализации суммирующей схемы и по способу обработки многоразрядных чисел.

По способу реализации суммирующей схемы можно выделить две разновидности – комбинационные и накопительные. В комбинационном сумматоре результат суммирования присутствует только в течение времени подачи входных сигналов. Накопительные сумматоры имеют элементы памяти, обеспечивающие длительное хранение результатов суммирования.

В зависимости от способа обработки многоразрядных чисел могут быть два способа сложения: последовательный, когда код числа представ-

ляется в виде последовательности импульсов по одному каналу, и параллельный – для передачи каждого разряда кода числа по отдельной шине.

Многоразрядные сумматоры строятся на базе полусумматоров (рис. 1.25) – устройств с двумя входами и двумя выходами, где A и B – слагаемые, S – результат суммирования и P – сигнал переноса.

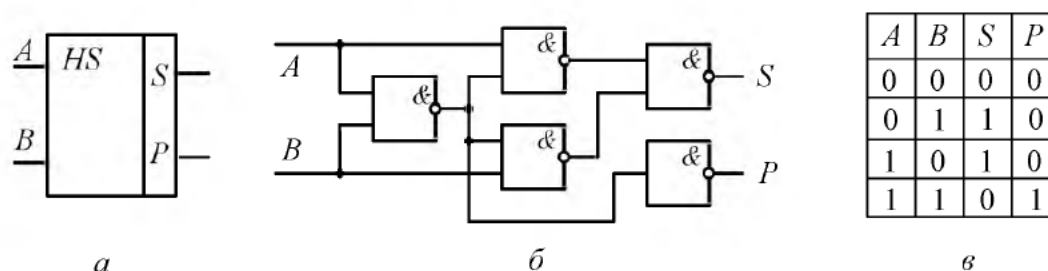


Рис. 1.25. Полусумматор: a – условное обозначение; $б$ – функциональная схема; $в$ – таблица истинности

Объединение двух полусумматоров позволяет получить полный одно-разрядный сумматор (рис. 1.26).

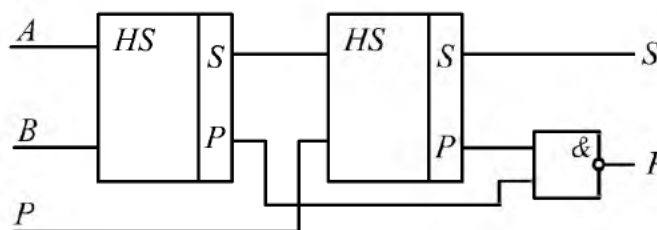


Рис. 1.26. Функциональная схема одноразрядного полного сумматора

В последовательном сумматоре сложение двух многоразрядных чисел начинается с младшего разряда и последовательно выполняется поразрядно за столько тактов, сколько разрядов содержится в числе. Этот тип сумматора обычно строится на основе одноразрядных сумматоров. В состав последовательного сумматора кроме одноразрядного сумматора входят еще три сдвигающих регистра для двух слагаемых и результата, а также схема синхронизации.

В параллельном сумматоре сложение осуществляется в одноразрядных сумматорах, число которых определяется разрядностью кода слагаемого с учетом знакового разряда.

1.10. Цифроаналоговый и аналогово-цифровой преобразователи

Как правило, информация первичных преобразователей (сигналов датчиков) представляется в аналоговой форме, в виде уровней напряжения или силы тока. Большая часть исполнительных устройств, предназначенных для автоматического управления технологическими процессами, реагируют также на аналоговые сигналы. Однако цифровые устройства принимают и выдают информацию в двоичном коде. Для преобразования информации из цифровой формы в аналоговую применяют цифроаналоговые преобразователи (ЦАП), а для обратного преобразования – аналого-цифровые преобразователи (АЦП).

ЦАП и АЦП характеризуются погрешностью, быстродействием и динамическим диапазоном. Погрешность состоит из методической и инструментальной составляющих. Методическая составляющая определяется абсолютной погрешностью квантования аналоговой величины, которая зависит от шага квантования. Шаг квантования – наименьшее изменение аналогового сигнала при изменении цифрового сигнала.

Инструментальная погрешность определяется нестабильностью параметров элементов схемы преобразователя и неточностью его настройки.

Быстродействие ЦАП и АЦП определяется временем преобразования: для ЦАП – интервалом между моментом поступления входного кода и моментом установления выходного сигнала (с заданной точностью), а для АЦП – интервалом от момента запуска преобразователя до момента получения цифрового кода на выходе.

Динамический диапазон – допустимый диапазон изменения входного напряжения для АЦП и выходного напряжения для ЦАП.

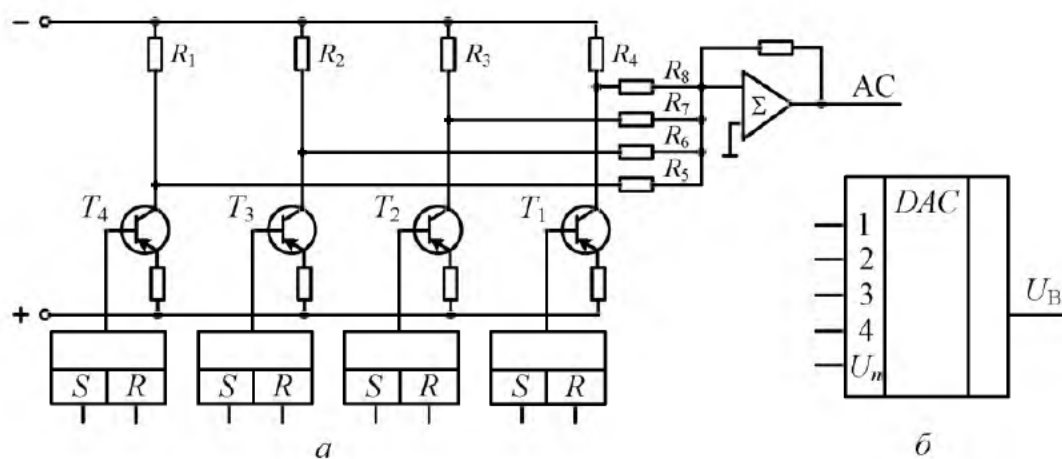


Рис. 1.27. Функциональная схема четырехразрядного ЦАП (а) и его условное обозначение (б)

Основу ЦАП (рис. 1.27) составляет матрица резисторов, подключаемых ко входу операционного усилителя транзисторными ключами, которые управляются параллельным кодом регистра.

При этом $8(R_1 + R_5) = 4(R_2 + R_6) = 2(R_3 + R_7) = 1(R_4 + R_8)$.

Принцип преобразования цифрового сигнала в аналоговую форму заключается в сложении нескольких ступеней опорного сигнала в одну ступень постоянного дискретного уровня. При этом складываются лишь те ступени опорного сигнала, для которых в разрядах цифрового кода присутствуют единицы. Величины опорных сигналов на входе операционного усилителя определяются соотношением резисторов матрицы. Таким образом опорное напряжение более старшего разряда в два раза больше предыдущего.

При подаче цифрового кода в параллельный регистр открываются транзисторы, на базе которых будут положительные сигналы. Например, при подаче кода 1010 откроются соответственно транзисторы T_2 и T_4 . Опорные напряжения с этих транзисторов складываются на операционном усилителе, и мы получаем выходной аналоговый сигнал, пропорциональный входному коду. Если величину опорного напряжения младшего разряда принять 1 В, то при подаче кода 1010 на выходе ЦАП мы получим напряжение в 10 В.

Процесс аналого-цифрового преобразования обычно более сложный и занимает больше времени, чем цифроаналоговое преобразование; кроме того, существует достаточно много различных методов выполнения этой операции.

В некоторых широко применяемых АЦП (рис. 1.28) используют ЦАП, которые являются составной частью такого устройства.

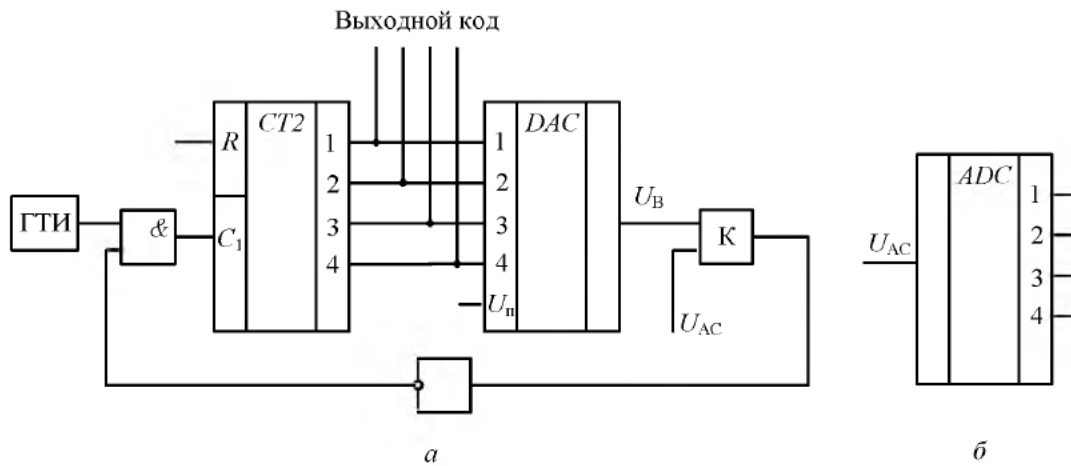


Рис. 1.28. Четырехразрядный АЦП: а – функциональная схема; б – условное обозначение; ГТИ – генератор тактовых импульсов; CT2 – двоичный счетчик; К – компаратор; U_{AC} – напряжение аналогового сигнала; U_B – выходное напряжение ЦАП

В процессе работы такого преобразователя сравниваются выходное напряжение ЦАП и аналоговый сигнал. В начальный момент $U_B = 0$ и на выходе компаратора нулевой сигнал. Этот сигнал, проходя через инвертор, приходит на логический ключ И, открывая его, и с ГТИ импульсы попадают на вход счетчика импульсов. На выходе счетчика импульсов формируется двоичный код, который попадает на вход ЦАП. Вследствие

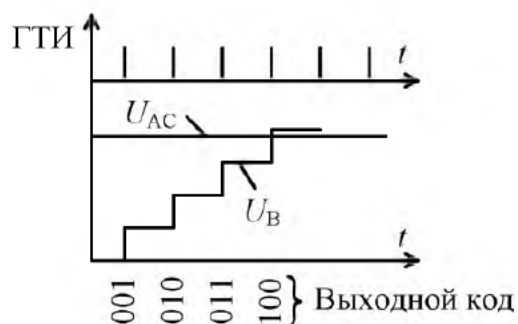


Рис. 1.29. К принципу действия АЦП

этого на выходе ЦАП формируется выходной сигнал, который снова сравнивается с аналоговым сигналом. Последовательное увеличение кода на выходе счетчика на единицу увеличивает выходной сигнал на выходе ЦАП. Когда выходной сигнал ЦАП станет равным аналоговому сигналу или превысит его, на выходе компаратора появляется единица, которая закрывает ключ И. В этот момент происходит считывание двоичного кода с выхода счетчика. После этого счетчик обнуляется и начинается новый цикл. На рис. 1.29 приведена диаграмма работы данного АЦП.

Вследствие этого на выходе ЦАП формируется выходной сигнал, который снова сравнивается с аналоговым сигналом. Последовательное увеличение кода на выходе счетчика на единицу увеличивает выходной сигнал на выходе ЦАП. Когда выходной сигнал ЦАП станет равным аналоговому сигналу или превысит его, на выходе компаратора появляется единица, которая закрывает ключ И. В этот момент происходит считывание двоичного кода с выхода счетчика. После этого счетчик обнуляется и начинается новый цикл.