

## Лекция 2

Тема: Классификация интегральных микросхем (продолжение)

1. Классификация интегральных схем по способу изготовления.
2. Полупроводниковые ИС
3. Гибридные ИС
4. Степень интеграции ИС

В процессе развития микроэлектроники (МЭ) номенклатура ИС непрерывно изменялась. Главный тип ИС в настоящее время – полупроводниковые ИС.

Классификация ИС. Классификация ИС может производиться по различным признакам, ограничимся здесь лишь одним. По способу изготовления и получаемой при этом структуре различают два принципиально разных типа интегральных схем: полупроводниковые и пленочные.

Полупроводниковая ИС – это микросхема, элементы которой выполнены в приповерхностном слое полупроводниковой подложки (рис. 2). Эти ИС составляют основу современной микроэлектроники.

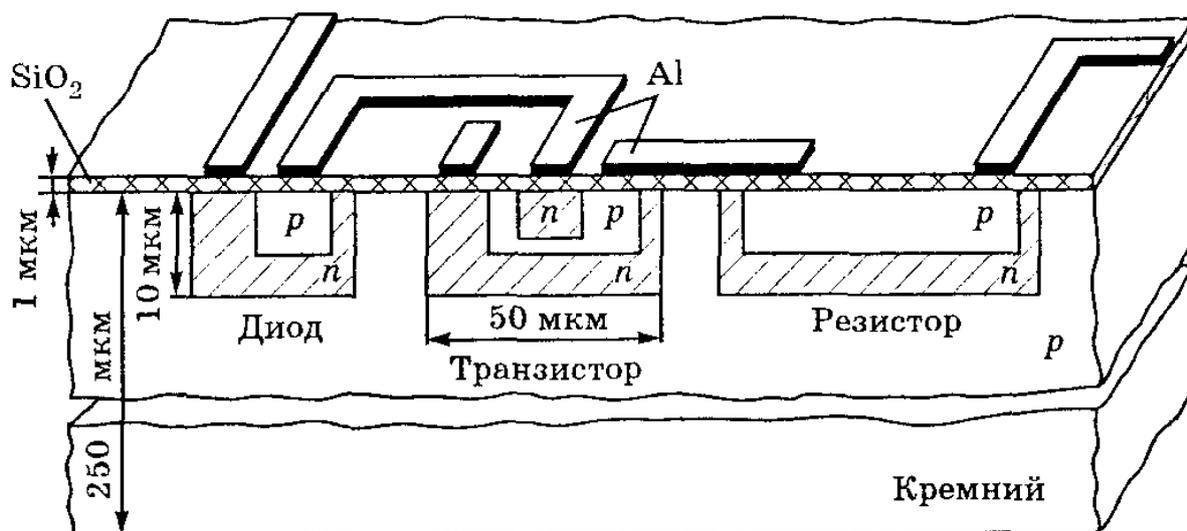


Рис. 2. Структура элементов полупроводниковой ИС

Пленочная ИС – это микросхема, элементы которой выполнены в виде разного рода пленок, нанесенных на поверхность диэлектрической подложки (рис. 3). В зависимости от способа нанесения пленок и связанной с этим их толщиной различают тонкопленочные ИС (толщина пленок до 1-2 мкм) и толстопленочные ИС (толщина пленок от 10-20 мкм и выше).

Поскольку до сих пор никакая комбинация напыленных пленок не позволяет получить активные элементы типа транзисторов, пленочные ИС содержат только пассивные элементы (резисторы, конденсаторы и т.п.). Поэтому функции, выполняемые чисто пленочными ИС, крайне ограничены. Чтобы преодолеть эти ограничения, пленочную ИС дополняют активными компонентами (отдельными транзисторами или ИС), располагая их на той же подложке и соединяя с пленочными элементами. Тогда получается ИС, которую называют гибридной.

Гибридная ИС (или ГИС) это микросхема, которая представляет собой комбинацию пленочных пассивных элементов и активных компонентов, расположенных на общей диэлектрической подложке. Дискретные компоненты, входящие в состав гибридной ИС, называют навесными, подчеркивая этим их обособленность от основного технологического цикла получения пленочной части схемы.

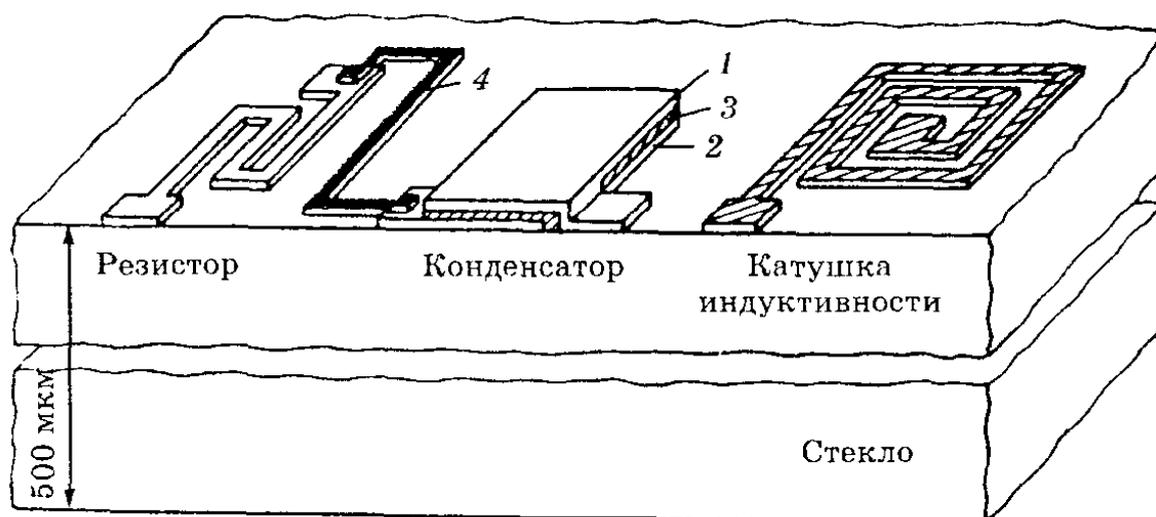


Рис. 3. Структура элементов пленочной ИС: 1 – верхняя обкладка; 2 – нижняя обкладка; 3 – диэлектрик; 4 – соединительная металлическая полоска

Еще один тип «смешанных» ИС, в которых сочетаются полупроводниковые и пленочные интегральные элементы, называют совмещенными.

Совмещенная ИС это микросхема, у которой активные элементы выполнены в приповерхностном слое полупроводникового кристалла (как у полупроводниковой ИС), а пассивные нанесены в виде пленок на предварительно изолированную поверхность того же кристалла (как у пленочной ИС).

Совмещенные ИС выгодны тогда, когда необходимы высокие номиналы и высокая стабильность сопротивлений и емкостей; эти требования легче обеспечить с помощью пленочных элементов, чем с помощью полупроводниковых.

Во всех типах ИС межсоединения элементов осуществляются с помощью тонких металлических полосок, напыленных или нанесенных на поверхность подложки и в нужных местах контактирующих с соединяемыми элементами. Процесс нанесения этих соединительных полосок называют металлизацией, а сам «рисунок» межсоединений – металлической разводкой.

Полупроводниковые ИС. В настоящее время различают следующие полупроводниковые ИС: биполярные, МОП (металл-окисел-полупроводник) и БИМОП. Последние представляют собой сочетание первых двух, и в них комбинируются положительные их качества.

Технология полупроводниковых ИС основана на легировании полупроводниковой (кремниевой) пластины поочередно донорными и акцепторными примесями, в результате чего под поверхностью образуются тонкие слои с разным типом проводимости и  $p-n$ -переходы на границах слоев. Отдельные слои используются в качестве резисторов, а  $p-n$ -переходы – в диодных и транзисторных структурах.

Легирование пластины приходится осуществлять локально, т.е. на отдельных участках, разделенных достаточно большими расстояниями.

Локальное легирование осуществляется с помощью специальных масок с отверстиями, через которые атомы примеси проникают в пластину на нужных участках. При изготовлении полупроводниковых ИС роль маски обычно играет пленка двуоксида кремния  $\text{SiO}_2$ , покрывающая поверхность кремниевой пластины. В этой пленке специальными методами гравится необходимая совокупность отверстий различной формы или, как говорят, необходимый рисунок (рис. 4). Отверстия в масках, в частности в окисной пленке, называют окнами.

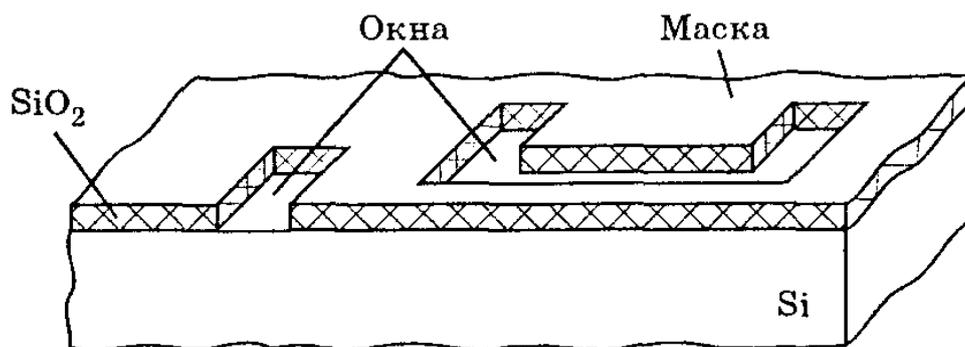


Рис. 4. Окисная маска с окнами для локального легирования

Теперь кратко охарактеризуем составные части (элементы) полупроводниковых ИС. Основным элементом биполярных ИС является *n-p-n*-транзистор: на его изготовление ориентируется весь технологический цикл. Все другие элементы должны изготавливаться, по возможности, одновременно с этим транзистором, без дополнительных технологических операций.

Основным элементом МДП ИС является МДП-транзистор. Изготовление других элементов также подстраивается под базовый транзистор.

Элементы биполярной ИС необходимо тем или иным способом изолировать друг от друга с тем, чтобы они не взаимодействовали через кристалл.

Элементы МОП ИС не нуждаются в специальной изоляции друг от друга, так как взаимодействие между смежными МОП-транзисторами не

имеет места. В этом – одно из главных преимуществ МОП ИС по сравнению с биполярными.

Характерная особенность полупроводниковых ИС состоит в том, что среди их элементов отсутствуют катушки индуктивности и, тем более, трансформаторы. Это объясняется тем, что до сих пор не удалось использовать в твердом теле какое-либо физическое явление, эквивалентное электромагнитной индукции. Поэтому при разработке ИС стараются реализовать необходимую функцию без использования индуктивностей, что в большинстве случаев удается. Если же катушка индуктивности или трансформатор принципиально необходимы, их приходится использовать в виде навесных компонентов.

Размеры кристаллов у современных полупроводниковых ИС достигают  $20 \times 20$  мм<sup>2</sup>. Чем больше площадь кристалла, тем более сложную, более многоэлементную ИС можно на нем разместить. При одной и той же площади кристалла можно увеличить количество элементов, уменьшая их размеры и расстояния между ними.

Функциональную сложность ИС принято характеризовать степенью интеграции, т.е. количеством элементов (чаще всего транзисторов) на кристалле. Максимальная степень интеграции составляет  $10^6$  элементов на кристалле. Повышение степени интеграции (а вместе с нею и сложности функций, выполняемых ИС) – одна из главных тенденций в микроэлектронике.

Для количественной оценки степени интеграции используют условный коэффициент  $k = \lg N$ . В зависимости от его значения интегральные схемы называются по-разному:

$k \leq 2$  ( $N < 100$ ) – интегральная схема (ИС);

$2 \leq k \leq 3$  ( $N < 1000$ ) – интегральная схема средней степени интеграции (СИС);

$3 \leq k \leq 5$  ( $N < 10^5$ ) – большая интегральная схема (БИС);

$k > 5$  ( $N > 10^5$ ) – сверхбольшая интегральная схема (СБИС).

Ниже приведены английские обозначения и их расшифровки:

*IC* – *Integrated Circuit*;

*MSI – Medium Scale Integration;*

*LSI – Large Scale Integration;*

*VLSI – Very Large Scale Integration.*

Кроме степени интеграции, используют еще такой показатель, как плотность упаковки – количество элементов (чаще всего транзисторов) на единицу площади кристалла. Этот показатель, который характеризует главным образом уровень технологии, в настоящее время составляет до 500-1000 элементов/мм<sup>2</sup>.

Гибридные ИС. Пленочные, а значит, и гибридные ИС в зависимости от технологии изготовления делятся на толсто- и тонкопленочные.

Толстопленочные ГИС (обозначим их ТсГИС) изготавливаются весьма просто. На диэлектрическую пластинку-подложку наносят пасты разного состава. Проводящие пасты обеспечивают межсоединения элементов, обкладки конденсаторов и выводы к штырькам корпуса; резистивные – получение резисторов; диэлектрические – изоляцию между обкладками конденсаторов и общую защиту поверхности готовой ГИС. Каждый слой должен иметь свою конфигурацию, свой рисунок. Поэтому при изготовлении каждого слоя пасту наносят через свою маску – трафарет – с окнами в тех местах, куда должна попасть паста данного слоя. После этого приклеивают навесные компоненты и соединяют их выводы с контактными площадками.

Тонкопленочные ГИС (обозначим их ТкГИС) изготавливаются по более сложной технологии, чем ТсГИС. Классическая тонкопленочная технология характерна тем, что пленки осаждаются на подложку из газовой фазы. Вырастив очередную пленку, меняют химический состав газа и тем самым электрофизические свойства следующей пленки. Таким образом поочередно получают проводящие, резистивные и диэлектрические слои. Конфигурация (рисунок) каждого слоя определяется либо трафаретом, как в случае ТсГИС, либо маской, подобно окисной маске в полупроводниковых ИС (рис. 4).

Навесные элементы в ТкГИС, как и в ТсГИС, приклеивают на поверхность готовой пленочной части схемы и соединяют с соответствующими контактными площадками элементов.

Степень интеграции ГИС не может оцениваться так же, как в случае полупроводниковых ИС. Тем не менее существует термин большая ГИС (или БГИС), который означает, что в состав ГИС в качестве навесных компонентов входят не отдельные транзисторы, а целые полупроводниковые ИС.